

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-134729

(43)Date of publication of application : 10.05.2002

(51)Int.Cl.

H01L 27/146
H04N 5/335

(21)Application number : 2000-327662

(71)Applicant : INNOTECH CORP

(22)Date of filing : 26.10.2000

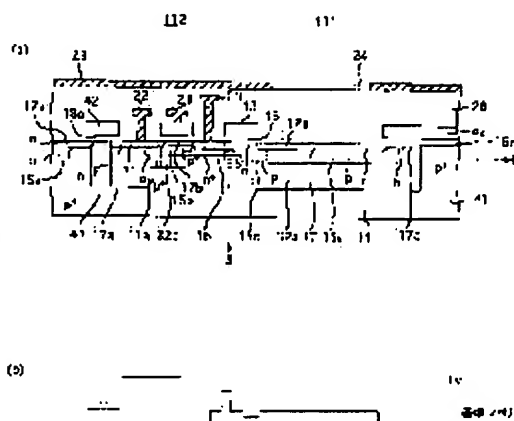
(72)Inventor : KAWAJIRI KAZUHIRO
MITSUIDA TAKASHI

(54) SOLID-STATE IMAGE PICKUP DEVICE AND METHOD FOR DRIVING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a MOS-type image sensor that can take an image produced by an optical signal with the whole light-receiving surface, can convert the optical signal into an electrical signal, and can output the electrical signal as an image signal to the outside.

SOLUTION: The MOS-type image sensor includes a light-receiving diode 111, having a light-receiving region that is formed on a substrate 11, and produces light-producing electric charges, when light is applied thereto; an insulating gate type field effect transistor 112 for detecting optical signals which is provided with a region 25 for accumulating the light-producing electric charges, outputs a threshold voltage modulated by the accumulation of the light-producing electric charges as an optical signal, and is formed on the substrate 11; an electric charge carrying path for carrying the light-producing electric charges produced in the light-receiving region to the region 25; an electric charge discharging path for discharging the light-producing electric charges produced in the light-receiving region to the substrate 11; and a means 42 for controlling a potential barrier with respect to the light-producing electric charges of the electric charge discharging path.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIPPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the solid state camera using MOS mold image sensors and its drive approach of the threshold voltage modulation technique used for a video camera, an electronic camera, an image input camera, a scanner, or facsimile in more detail about a solid state camera and its drive approach.

[0002]

[Description of the Prior Art] Since semi-conductor image sensors, such as CCD mold image sensors and MOS mold image sensors, are excellent in mass-production nature, they are applied to almost all images input device equipment with progress of the detailed-ized technique of a pattern. MOS mold image sensors are improved taking advantage of the advantage that power consumption is small and can create a sensor component and a circumference circuit element by the same CMOS technology especially in recent years compared with CCD mold image sensors.

[0003] In view of the trend of such a world, the applicant for this patent improved MOS mold image sensors, performed patent application (Japanese Patent Application No. No. 186453 [ten to]) about the sensor component which has the carrier pocket (high concentration buried layer) 25 under the channel field of the MOS transistor for lightwave signal detection, and has acquired the patent (registration number No. 2935492). The MOS mold image sensors have the structure shown in patent drawing 8 . In the structure, as shown in drawing 8 , a unit pixel consists of MOS transistors for lightwave signal detection which adjoin light-receiving diode and light-receiving diode. light-receiving diode and the MOS transistor for lightwave signal detection -- the well of p mold -- it is connected by the field. In the MOS transistor for lightwave signal detection, a gate electrode has the shape of a ring, the source field of n mold is formed in a center section, and the drain field of n mold is formed so that the periphery of a gate electrode may be surrounded. the well near a gate electrode lower part and the source field -- the hole pocket of p mold is prepared so that a source field may be surrounded in a field.

[0004] By the way, after a CCD sensor turns off a whole surface coincidence shutter without a mechanical shutter and receives a video signal with light-receiving diode, it can take out the distorted video signal which stood it still by reading outside the signal which read the video signal to the transfer way, and was read to the later transfer way and which is not. On the other hand, in the above-mentioned MOS mold image sensors, an image is captured with light-receiving diode with a focal plane mold shutter. And the video signal in which photo electric conversion was carried out by a series of repeat actuation is taken out. For example, each electrode is made to impress and depletion-ize high reverse voltage at an initialization period, and the optical generating electron hole which remains in a hole pocket is made to emit. Make the light-receiving diode section produce an optical generating electron hole by optical exposure at an are recording period, and make it transmit to a hole pocket, it is made to accumulate, and a lightwave signal is detected by detecting the threshold of the field-effect transistor for lightwave signal detection modulated in proportion to the accumulated dose of an optical generating electron hole at the read-out period.

[0005]

[Problem(s) to be Solved by the Invention] However, by the above-mentioned image incorporation method, when photoing a high-speed migration body, and when taking a photograph with the image sensors which have many pixels more, there are the start of reading and a problem that read and distortion arises in an image for the time difference of an end. This invention is created in view of the trouble of the above-mentioned conventional technique, is the whole light-receiving side surface, and incorporates the image by the lightwave signal to coincidence, and offers the MOS

mold image sensors which can change the lightwave signal into an electrical signal, and can be taken out outside as a video signal, and its drive approach.

[0006]

[Means for Solving the Problem] In order to solve the above-mentioned technical problem, this invention relates to a solid state camera. As a basic configuration of that solid state camera The light-receiving diode equipped with the light-receiving field which generates an optical generating charge by the optical exposure formed on the substrate, The insulated gate field effect transistor for lightwave signal detection which is equipped with the are recording field of said optical generating charge, and outputs the threshold voltage modulated by are recording of an optical generating charge as a lightwave signal and which was formed on said substrate, It has the charge transfer path of transmitting the optical generating charge generated in said light-receiving field to said are recording field, the charge discharge path which discharges the optical generating charge generated in said light-receiving field to said substrate, and a means to control the potential barrier over said optical generating charge of said charge discharge path.

[0007] That is, as shown in drawing 2 (a), drawing 7 (a), and drawing 11 (a), it has the unit pixel 101 containing the insulated gate field effect transistor 112 for lightwave signal detection (MOS transistor) which adjoins the light-receiving diode 111 and the light-receiving diode 111. and the 1st well of p mold with which the light-receiving diode 111 was formed in n type layer 32a on the substrate 11 of p mold -- the 2nd well of p mold with which it was formed in fields 15a and 43, and MOS transistor 112 was formed in n type layer 32b on the substrate 11 of p mold -- it is formed in field 15b. moreover, the 2nd well under the channel field of MOS transistor 112 -- the high concentration buried layer (carrier pocket: are recording field of an optical generating charge) 25 which is in field 15b and accumulates an optical generating charge in the periphery of the source field 16 is formed.

[0008] furthermore, it is shown in drawing 2 (a), drawing 7 (a), drawing 9, and drawing 11 (a) -- as -- the 1st well of p mold of the light-receiving diode 111 section -- the overflow drain field 41 of p mold connected with the substrate 11 of p mold on both sides of n type layer 32a is formed next to fields 15a and 43. moreover, the 1st well -- the overflow drain gates (OFDG: a means to control the potential barrier over an optical generating charge) 42, 42a, and 42b are formed through insulator layer 18a over the upper part of the overflow drain field 41 from the upper part of the edge field of fields 15a and 43. the lower part of the overflow drain gates 42, 42a, and 42b -- it is -- the 1st well -- low-concentration n mold field or p mold field (surface field) 17c which connects the impurity range 17 of n mold of the light-receiving diode 111 section and the overflow drain field 41 of p mold with the surface of the edge field of fields 15a and 43 and the surface of n type layer 32a is formed. the 1st above-mentioned well -- pass n type layer 32a and the overflow drain field 41 from fields 15a and 43 -- the path which results in the substrate 11 of p mold constitutes a charge discharge path, and when required, the potential barrier over the optical generating charge of a charge discharge path is controlled by the overflow drain gates 42, 42a, and 42b.

[0009] especially, it is shown in drawing 8 and drawing 10 -- as -- the well of the light-receiving diode 111 section -- the 1st well which adjoins in the direction of a train (or line writing direction), or the direction of slant, holding so that field 15a may be gathered and located in a line with a row and column -- the common overflow drain field 41 is formed to field 15a. the 1st mutual well which and the overflow drain gates 42a and 42b adjoin in the upper part of the overflow drain field 41 -- it is prepared so that pons delivery of the field 15a may be carried out.

[0010] In the above-mentioned configuration, in order to control the flow of the optical generating charge to the carrier pocket 25, it has the following descriptions so that the potential barrier over an optical generating charge can be controlled by the charge transfer path of resulting [from a light-receiving field] in the carrier pocket 25. it is shown [1st] in drawing 2 (a) -- as -- a charge transfer path -- setting -- the 1st and 2nd wells -- Fields 15a and 15b are characterized by being connected through low-concentration p mold field 15c.

[0011] it is shown [2nd] in drawing 7 (a) -- as -- the 1st well of the light-receiving diode 111 section -- a field 43 -- the 2nd well of the MOS transistor 112 section -- it is characterized by the high impurity concentration of p mold being high rather than field 15b. it is shown [3rd] in drawing 11 (a) -- as -- the 1st and 2nd wells -- field 15a and 15b are arranged on both sides of n type layer 32a -- having -- **** -- the transfer gate 44 -- the 1st well -- pass the upper part of n type layer 32a from the upper part of the edge field of field 15a -- the 2nd well -- it is prepared over the upper part of the edge field of field 15b. 17d (surface field) of low-concentration p mold fields is formed in the surface of n type layer 32a under the transfer gate 44. 17d of p mold fields could be prepared, but n type layer 32a may be exposed to a front face with the case.

[0012] Next, when a hole (electron hole) is used as the solid state camera, especially the optical generating charge of

the above-mentioned structure, the drive approach of the solid state camera of this invention is explained. First, initialization actuation is performed. The actuation which discharges an optical generating charge from a light-receiving field and the carrier pocket 25 at least about all pixels is made to perform in initialization actuation. That is, the potential barrier of a path from the carrier pocket 25 to [makes the potential barrier of a charge discharge path low to the residual charge in a light-receiving field, and] a substrate 11 to the residual charge in the carrier pocket 25 is made low, and the residual charge in a light-receiving field and the carrier pocket 25 is swept out.

[0013] Subsequently, it moves to are recording actuation. The actuation which accumulates an optical generating charge in all pixels is made to perform in are recording actuation. That is, a potential barrier is formed in a charge transfer path and a charge discharge path to the optical generating charge in a light-receiving field, it is the whole light-receiving side surface, and the lightwave signal based on an image is incorporated to coincidence. Thereby, an optical generating charge is generated in a light-receiving field, and an optical generating charge is accumulated in a light-receiving field. Subsequently, while forming a potential barrier in a charge discharge path to the optical generating charge in a light-receiving field, the potential barrier of a charge transfer path is made low, and an optical generating charge is transmitted to the carrier pocket 25.

[0014] Subsequently, it moves to read-out actuation. In read-out actuation, every [a party] and the lightwave signal by which photo electric conversion was carried out are read. for this reason, about all the pixels on a par with the line chosen for lightwave signal read-out based on an optical generating charge While forming a potential barrier in a charge transfer path to the optical generating charge in a light-receiving field about all the pixels on a par with the line chosen for lightwave signal read-out corresponding to an optical generating charge, the potential barrier of a charge discharge path is made low, and change of the threshold voltage corresponding to the accumulated dose of an optical generating charge is read. At this time, when light is being succeedingly received in the light-receiving field, the optical generating charge generated in a light-receiving field is discharged by the substrate 11 through a charge discharge path from a light-receiving field. While forming a potential barrier in the path from the carrier pocket 25 to [pixels / all / of the line (non-choosing line) which is not chosen / to the optical generating charge of the carrier pocket 25] a substrate 11 on the other hand and accumulating the optical generating charge in the carrier pocket 25 While discharging to a substrate the optical generating charge which forms a potential barrier in a charge transfer path to the optical generating charge generated in a light-receiving field, and makes the potential barrier of a charge discharge path low, and is generated in a light-receiving field through a charge discharge path, it is made for the optical generating charge in the carrier pocket 25 not to be revealed.

[0015] Thus, the lightwave signal corresponding to an optical generating charge is read one by one for every line. In addition, the lightwave signal contains the noise signal component by the residual carrier leading to a noise. Special actuation for removing a noise signal component may be performed. That is, as shown in drawing 4 , drawing 5 , and drawing 6 , in read-out actuation, following read-out actuation of the lightwave signal of a selection line, the potential grant condition to the pixel of a non-choosing line is left as it is, initializes the pixel of the selection line like the above, and reads succeedingly the threshold voltage in the condition of having initialized. And the signal of the difference of the threshold voltage in the condition of having initialized with the threshold voltage corresponding to the amount of optical generating charges is computed, and a net lightwave signal component is outputted as a video signal.

[0016] Below, operation and effectiveness of being done so by the above-mentioned configuration are explained. In the solid state camera of this invention, it has the charge discharge path which discharges the optical generating charge generated in the light-receiving field to a substrate 11, and a means to control the potential barrier over the optical generating charge of a charge discharge path. concrete -- a charge discharge path -- the 1st well of the light-receiving diode 111 -- pass n type layer 32a and the overflow drain field 41 from field 15a -- it is the path which results in a substrate 11. Moreover, a means to control a potential barrier is the overflow drain gate 42 prepared on the charge discharge path.

[0017] Therefore, the flow of the optical generating charge which faces to a substrate 11 from a light-receiving field by the way which is the need is controllable. moreover, the 1st well of the light-receiving diode 111 among charge transfer paths section -- the 2nd well of field 15a and the MOS transistor section -- it is placed between connection fields with field 15b by low-concentration p mold field 15c.

[0018] low-concentration p mold field 15c -- the 1st and 2nd surrounding wells -- compared with Fields 15a and 15b, the potential to an electron hole becomes high. In this case, by adjusting relatively the electrical potential difference impressed to the gate electrode 19, and the electrical potential difference impressed to drain field 17a, it can adjust so

that the potential of p mold field 15c may serve as an obstruction over an optical generating charge. Thereby, the flow of the optical generating charge which goes to the carrier pocket 25 from a light-receiving field by the way which is the need is controllable.

[0019] furthermore, the 1st well of the light-receiving diode 111 section -- a field 43 -- the 2nd well of the MOS transistor 112 section -- the high impurity concentration of p mold is high rather than field 15b. the 2nd well with the lower high impurity concentration of p mold -- field 15b -- the 1st well with the higher high impurity concentration of p mold -- the potential to an optical generating charge becomes high rather than a field 43. In this case, by adjusting relatively the electrical potential difference impressed to the gate electrode 19, and the electrical potential difference impressed to drain field 17a, it can adjust so that that potential difference may serve as an obstruction over an optical generating charge. Thereby, the flow of the optical generating charge which goes to the carrier pocket 25 from a light-receiving field is controllable.

[0020] moreover, the 1st well -- field 15a and the 2nd well -- field 15b is connected through n type layer 32a, and the transfer gate 44 is formed through insulator layer 18b on the connection field. Of a case, 17d of low-concentration p mold fields may be formed in the surface of n type layer 32a under the transfer gate 44. The electrical potential difference impressed to the transfer gate 44 can adjust so that the potential of the field may serve as an obstruction over an optical generating charge. Thereby, the flow of the optical generating charge which goes to the carrier pocket 25 from a light-receiving field is controllable.

[0021] In the drive approach of the solid state camera this invention, the initialization period, the are recording period, and the read-out period are repeated in this order. Especially, in an initialization period and an are recording period, about all pixels, perform initialization and are recording to the carrier pocket 25, and it sets in read-out actuation. In case a lightwave signal is read from the pixel of a selection line, while making it the carrier which controlled the potential of a charge transfer path and the potential of a charge discharge path, and was accumulated in the carrier pocket 25 of a non-choosing line not revealed It can make it possible to discharge to a substrate 11, without moving the optical generating charge which read and was generated in the light-receiving field working to the direction of the carrier pocket 25.

[0022] By this, it is the whole light-receiving side surface, and the image by the lightwave signal can be incorporated to a solid state camera at coincidence, the lightwave signal can be changed into an electrical signal, and it can take out to the exterior of a solid state camera as a video signal. in addition, the 1st and 2nd wells -- when Fields 15a and 15b etc. are conductivity types contrary to the above (i.e., when the high concentration buried layer 25 is n mold), the high concentration buried layer 25 serves as an electron pocket (carrier pocket), and will accumulate an optical generating electron.

[0023]

[Embodiment of the Invention] Below, it explains, referring to a drawing about the gestalt of operation of this invention.

(Gestalt of the 1st operation) Drawing 1 is the top view showing the component layout in the unit pixel of the MOS mold image sensors which are the gestalten of operation of the 1st of this invention. Drawing 2 (a) is a sectional view which meets the I-I line of drawing 1.

[0024] As shown in drawing 1 and drawing 2 (a), the light-receiving diode 111 and MOS transistor 112 for lightwave signal detection are adjoined and formed in the unit pixel 101. The n channel depression MOS transistor (an MOS transistor may only be called hereafter) is used as MOS transistor 112. The unit pixel 101 had the shape of a rectangle mostly, and is aslant suitable to the train or the line writing direction. Spacing is separated by the overflow drain field 41 of p mold although the unit pixel 101 is not separated especially within the party.

[0025] the well from which these light-receiving diode 111 and MOS transistor 112 differ, respectively -- a field, i.e., the 1st well, -- field 15a and the 2nd well -- it forms in field 15b -- having -- those wells -- Fields 15a and 15b are mutually connected through low-concentration p mold field 15c. the 1st well of the part of the light-receiving diode 111 -- field 15a constitutes a part of generating field of the charge by optical exposure. the 2nd well of the part of MOS transistor 112 -- field 15b constitutes the gate field to which the threshold voltage of a channel can be changed with the potential given to this field 15b.

[0026] the 1st well which n type layer 32a is formed on the substrate 11 of p mold, and was described above in the part of the light-receiving diode 111 as shown in drawing 2 (a) -- field 15a is formed on this n type layer 32a. moreover, the 1st well -- the impurity range (opposite conductivity-type field) 17 of n mold is formed in the surface of field 15a. In

the part of MOS transistor 112, as shown in drawing 2 (a), the substrate 11 of p mold is thicker than light-receiving diode 111 part including p type layer 11a with high concentration. the well which n type layer (opposite conductivity-type layer) 32b is formed on that p type layer 11a, and was described above -- field 15b is formed on this n type layer 32b. a well -- the gate electrode 19 is formed in the front face of the upper semi-conductor substrate of field 15b through gate dielectric film 18.

[0027] The gate electrode 19 has the shape of a ring. it is surrounded by the common-law marriage of the ring-like gate electrode 19 -- as -- a well -- the source field 16 is formed in the surface of field 15b. the rim of the ring-like gate electrode 19 is surrounded -- as -- and a well -- drain field 17a is formed in those surfaces over n type layer 32a from field 15b. In the light-receiving diode 111 side, drain field 17a extends and the impurity range 17 of the light-receiving diode 111 is formed. namely, the 1st and 2nd wells which connected mutually an impurity range 17 and drain field 17a -- it is formed in one so that most fields may start the surface of Fields 15a and 15b. In addition, when calling it a drain field, even if it is describing it as 17a below as a sign which shows a drain field, a field including an impurity range 17 may be meant.

[0028] The source field 16 and the field between drain field 17a turn into a channel field. In the usual operating voltage, in order to hold a channel field in the depression condition, n mold impurity of moderate concentration is introduced into a channel field, and channel dope layer 17b of n mold is formed in it. the well under the n type of channel dope layer 17b -- in field 15b, the carrier pocket (high concentration buried layer; are recording field of an optical generating charge) 25 is formed so that the source field 16 may be surrounded. the carrier pocket 25 -- the 1st and 2nd wells of carrier pocket 25 periphery -- since high impurity concentration of p mold is made high compared with Fields 15a and 15b, the potential of the carrier pocket 25 interior becomes low to an optical generating electron hole among optical generating charges. Thereby, an optical generating electron hole can be brought together in this carrier pocket 25.

[0029] in addition, the 1st and 2nd wells -- low-concentration p mold field (1 conductivity-type field) 15c which intervenes among Fields 15a and 15b is formed in the field equivalent to the boundary parts of drain field 17a by the side of the light-receiving diode 111, and channel dope layer 17b. the 1st well -- field 15a, low-concentration p mold field 15c, and the 2nd well -- the path which results in the carrier pocket 25 turns into a charge transfer path from the light-receiving field which consists of field 15b.

[0030] furthermore, the next door of the overflow drain field 41 of p mold which has separated spacing as mentioned above -- n type layer 32a -- minding -- the 1st well of the light-receiving diode 111 section -- field 15a is prepared. The overflow drain field 41 is connected with the substrate 11, and while separating spacing, it has the function which discharges a superfluous optical generating charge to a substrate 11.

[0031] the 1st well -- pass n type layer 32a and the overflow drain field 41 from field 15a -- the path which results in a substrate turns into a charge discharge path. furthermore, the 1st well among charge discharge paths -- the overflow drain gate 42 is formed through gate-dielectric-film 18a over the overflow drain field 41 upper part from the upper part of the edge field of field 15a. the bottom of the overflow drain gate 42 -- the 1st well -- low-concentration n mold field (surface field) 17c is formed over the surface of n type layer 32a from the surface of the edge field of field 15a. That is, n mold field 17c has connected the overflow drain field 41 and the impurity range 17. By the case, low-concentration p mold field may be used instead of low-concentration n mold field 17c.

[0032] Moreover, the above-mentioned element is covered with the insulator layer 26, and fields other than light-receiving aperture 24 of the light-receiving diode 111 are shaded by the metal layer (light-shielding film) 23 formed on the insulator layer 26. Next, with reference to drawing 2 (b), it is in a flat surface parallel to the front face from the overflow drain field to the carrier pocket 25, and the situation of change of the valence band (Ev) along an one direction and the situation of change of the valence band (Ev) which meets in the depth direction from the carrier pocket 25 to a substrate 11 are explained. Drawing 2 (b) is drawing which meets the II-II line of drawing 2 (a) and in which showing the situation of change of the summit of a valence band (Ev). It is more slightly [than the source field 16 drain field 17a, and an impurity range 17] deep, and the path which results in the left-hand side carrier pocket 25 centering on the light-receiving field of a drawing shows the situation of change of the valence band within a charge transfer path (Ev), and the path which reaches the right-hand side overflow drain field 41 shows the situation of change of the valence band within a charge discharge path (Ev).

[0033] the 1st well as a light-receiving field -- on left-hand side, a charge transfer path consists of fields 15 -- the 1st well under an impurity range 17 -- field 15a and low-concentration p mold field 15c -- the 2nd well under drain field

17a and channel field 17b -- the 2nd well under field 15b, the carrier pocket 25, and the source field 16 -- the 2nd well under field 15b, the carrier pocket 25, channel field 17b, and drain field 17a -- field 15b is arranged. moreover, the 1st well -- the 1st well under an impurity range 17 which constitutes a charge discharge path from a field 15 on right-hand side -- field 15a, n type layer 32a, and the overflow drain field 41 are located in a line. In this case, the condition of impressing the electrical potential difference also to no electrode and field is shown. moreover, the 1st and 2nd wells -- the summit of the valence band (E_v) in Fields 15a and 15b is made into reference level.

[0034] Between the light-receiving field and the carrier pocket 25, the field of an energy level respectively lower than reference level is formed of n type layer 32a between low-concentration p mold field 15c and the light-receiving field, and the overflow drain field 41. The field where this energy level is low serves as an obstruction to an optical generating electron hole. Moreover, in the carrier pocket 25 of high-concentration p mold, it is higher than reference level and the optical generating hole has become are easy to be collected.

[0035] By adjusting the electrical potential difference applied to the field of gate 19 and overflow drain gate 42 and others, the height of a potential barrier can be adjusted and migration of an optical generating electron hole to the carrier pocket 25 or the overflow drain field 41 can be controlled. Next, with reference to drawing 3, the configuration of the whole MOS mold image sensors using the unit pixel of the above-mentioned structure is explained. Drawing 3 shows the circuitry Fig. of the MOS mold image sensors in the gestalt of operation of the 1st of this invention.

[0036] As shown in drawing 3, these MOS mold image sensors have taken the configuration of a two-dimensional array sensor, and the unit pixel 101 of the above-mentioned structure is arranged by the direction of a train, and the line writing direction in the shape of a matrix. Moreover, the drive scanning circuit 102 of a vertical-scanning signal (VSCAN) and the drive scanning circuit 103 of a drain electrical potential difference (VDD) are arranged across the pixel field at the right and left.

[0037] the vertical-scanning signal supply lines (VSCAN supply line) 59a and 59b and every one ... have come out from the drive scanning circuit 102 of a vertical-scanning signal for every line. It connects with the gate electrode 19 of MOS transistor 112 in all the unit pixels 101 to which each vertical-scanning signal supply lines 59a and 59b and ... are located in a line with a line writing direction. moreover, the drain electrical-potential-difference supply lines (VDD supply line) 61a and 61b and every one ... have come out from the drive scanning circuit 103 of a drain electrical potential difference (VDD) for every line. It connects with drain field 17a of MOS transistor 112 for lightwave signal detection in all the unit pixels 101 to which each drain electrical-potential-difference supply lines 61a and 61b and ... are located in a line with a line writing direction.

[0038] Moreover, the perpendicular output lines 60a and 60b and every one ... have come out for every train, and it connects with the source field 16 of MOS transistor 112 in each perpendicular output lines 60a and 60b and all the unit pixels 101 to which ... is located in a line in the direction of a train, respectively. Moreover, the source field 16 of MOS transistor 112 is connected with the pressure-up scanning circuit 108 through the pressure-up electrical-potential-difference supply lines 73a and 73b and ... for every train. the inside of the carrier pocket 25, and the 1st and 2nd wells -- the high voltage for discharging the charge which remains in field 15a and 15b is supplied.

[0039] Furthermore, the source field 16 of MOS transistor 112 is connected with the signal output circuit 105 through the perpendicular output lines 60a and 60b and ... for every train. And the source field 16 is connected with the a pair of 1st and 2nd Rhine memory which consists of a capacitor which is not illustrated in the signal output circuit 105. The 1st Rhine memory is made to memorize the 1st source potential when the optical generating charge is accumulated in the carrier pocket 25, and the 2nd Rhine memory is made to memorize the 2nd source potential after discharging an optical generating charge from the carrier pocket 25. And the electrical potential difference of the difference of the 1st and 2nd source potentials is outputted as a lightwave signal through the differential amplifier which is not illustrated. In addition, active loads, such as a constant current source, are not connected to the source field 16 with the gestalt of this operation.

[0040] Every one horizontal scanning signal (HSCAN) supply lines 72a and 72b have come out from the horizontal scanning signal (HSCAN) input scanning circuit 104 for every train. Each horizontal scanning signal (HSCAN) supply lines 72a and 72b are connected with the signal output circuit 105. The horizontal scanning signal (HSCAN) input scanning circuit 104 supplies a horizontal scanning signal in the signal output circuit 105 through each horizontal scanning signal (HSCAN) supply lines 72a and 72b, and controls the timing which outputs a lightwave signal.

[0041] The video signal (V_{out}) which does not contain the noise component by residual charge which drove MOS transistor 112 of sequential ** each unit pixel 101, and is proportional to the amount of incidence of light with a

vertical-scanning signal (VSCAN) and a horizontal scanning signal (HSCAN) is read from the signal output circuit 105. Next, according to drawing 4, drawing 5, and drawing 6, photodetection actuation of the solid state image sensor with which a single string continued is explained briefly.

[0042] Drawing 4 shows the timing chart of each I/O signal for operating the MOS mold image sensors concerning this invention. moreover, the light-receiving diode [in / in drawing 5 and drawing 6 / each actuation] 111 and a well -- it is the mimetic diagram showing the situation of change of the energy level (Ev) of Fields 15a and 15b, the carrier pocket 25, the overflow drain field 41 and the energy band of those peripheries, especially the summit of a valence band.

[0043] in this case -- as MOS transistor 112 for lightwave signal detection -- the 2nd well of p mold -- the n channel depletion type MOS transistor formed in field 15b is used. Photodetection actuation is performed by repeating a series of processes which consist of initialization period (**** period)-are recording period-read-out period -. Here, explanation is begun from an initialization period for convenience' sake. In addition, the overflow drain field 41 presupposes that it is grounded throughout a series of actuation.

[0044] First, initialization actuation is performed. initialization actuation -- setting -- all pixels -- the inside of the carrier pocket 25, and the 1st and 2nd wells -- the charge which remains in field 15a and 15b is discharged. that is, it is shown in drawing 4 -- as -- all pixels -- the potential (Vpd) of drain field 17a (impurity range 17) -- about 5 -- V -- carrying out -- and the potential (Vg) of the gate electrode 19 -- about 7 -- it is referred to as V. Moreover, let potential (Vofdg) of the overflow drain gate 42 be touch-down potential (zero potential). The potential of drain field 17a also reaches the source field 16 through a channel field.

[0045] the electrical potential difference which channel field 17b maintained switch-on with the electrical potential difference impressed to the gate electrode 19, and was impressed to the source field 16 and drain field 17a while the electrical potential difference took for the pn junction of drain field 17a, the source field 16, and an impurity range 17, and the pn junction by the side of a substrate 11 at this time -- the 2nd well -- field 15b and the hole pocket 25 are started. the high electric field which the field of the upper part of a substrate 11 is depletion-ized, and are generated by this at this time -- the 1st well of the light-receiving diode 111 section -- the 2nd well which contains the carrier pocket 25 while the residual electron hole in field 15a is directly discharged by the substrate 11 -- a residual electron hole is certainly discharged from field 15b. moreover -- as shown in drawing 5 (b), even if it lets the low overflow drain field 41 of potential pass -- the well of the light-receiving diode 111 section -- the residual electron hole in field 15a is discharged.

[0046] Next, are recording actuation is performed. Also in this case, about all pixels, an optical generating electron hole is generated in a light-receiving field, and it is transmitted and stored up in the carrier pocket 25. About all pixels, an electrical potential difference (Vpd), for example, about 0.5 V, is impressed to drain field 17a of MOS transistor 112 for lightwave signal detection. gate voltage which a channel field does not depletion-ize to the gate electrode 19 to drain potential (Vpd) and source potential (Vps) and by which an electron is accumulated in it with sufficient electron density (Vg), about 2 [for example,], -- about V are impressed. [moreover,] the electrical potential difference (Vps) 0.5 [about] as an electrical potential difference (Vpd) with drain field 17a the electron of sufficient electron density for a channel field is accumulated by this, and the source field 16 is connected through drain field 17a and a channel field, and same with the source field 16 -- V is impressed. Furthermore, 3V (Vofdg) are impressed to the overflow drain gate 42.

[0047] gate voltage in which a channel field does not depletion-ize but an electron is accumulated with sufficient electron density in an are recording period (Vg), about 2 [for example,], -- by impressing about V, the electron hole generating core of the interface state density in the interface of gate dielectric film 18 and a channel field is deactivated, and emission of the electron hole from interface state density, i.e., leakage current, is controlled. Thereby, the are recording to the carrier pocket 25 of electron holes other than an optical generating charge is controlled, and the so-called generating of a white crack can be prevented in an image screen.

[0048] then, the light-receiving side of all pixels -- and light is irradiated [coincidence] at the light-receiving diode 111. If an electronic-electron hole pair (optical generating charge) is generated by optical exposure, as shown in drawing 5 (c) The potential barrier over the electron hole of p mold field 15c in the path (charge transfer path) from the light-receiving field to the carrier pocket 25, And since the potential barrier over the electron hole of n type layer 32a in the path (charge discharge path) from the light-receiving field to the overflow drain field 41 is expensive, an optical generating electron hole will be accumulated in the light-receiving diode 111 section.

[0049] Next, as shown in drawing 4 and drawing 5 (d), (e), and (f), the optical generating electron hole of the light-

receiving diode 111 section is transmitted and accumulated in the carrier pocket 25 by the three-stage about all pixels. for this reason, it is first shown in drawing 5 (d) -- as -- all pixels -- the potential (V_{pd}) of drain field 17a of MOS transistor 112 for lightwave signal detection -- about 0.5 -- having held the potential (V_{ofdg}) of the overflow drain gate 42 to V_{3V} , respectively -- the potential (V_g) of the gate electrode 19 -- touch-down potential -- carrying out -- the well of a light sensing portion -- the well which has the carrier pocket 25 to field 15a -- the potential of field 15b is lowered. [0050] then, the 2nd well which sets potential (V_{pd}) of drain field 17a to $3V$, and has the carrier pocket 25, holding the potential (V_g , V_{ps} , V_{ofdg}) of the gate electrode 19, the source field 16, and the overflow drain gate 42 in the front condition -- the potential of field 15b -- the 1st well of a light-receiving field -- it lowers further relatively to field 15a. [0051] the 2nd well which finally sets potential (V_{pd}) of drain field 17a to $5V$, holding the potential (V_g) of the gate electrode 19 in the front condition, sets potential (V_{ofdg}) of the overflow drain gate 42 to $5V$, and has the carrier pocket 25 -- the potential of field 15b -- the 1st well of a light-receiving field -- it lowers further relatively to field 15a. [0052] Next, read-out actuation is performed. Read the threshold voltage of each pixel, i.e., the lightwave signal by which photo electric conversion was carried out, per party, the storage in the signal output circuit 105 is made to memorize, and it is made to output to the water Hiraide line of force 71 as a video signal succeedingly in this read-out period. First, about $2V$ is outputted to output line 59a from the VSCAN drive scanning circuit 102 to the gate electrode 19 of a selection line about all the pixels of the 1st line. Touch-down potential is outputted to output line 59b to the gate electrode 19 of a non-choosing line. On the other hand, a selection line and a non-choosing line maintain VDD drive scanning-line 61a at about $3V$ (it becomes the drain potential of MOS transistor 112). Moreover, a selection line and a non-choosing line make the overflow drain gate 42 touch-down potential. [0053] At this time, the reversal field of low electric field is formed in a part of channel field of the carrier pocket 25 upper part in the pixel of a selection line, and a high electric-field field is formed in the remaining part of a channel field. The drain voltage-current property of MOS transistor 112 shows saturation characteristics. Thereby, the 1st Rhine memory is charged and the threshold voltage (source potential V_{outS}) by which light modulation was carried out to the 1st Rhine memory is memorized in the place which charge completed. Moreover, as the continuous line of drawing 6 (g) shows, since the potential of the overflow drain gate 42 is low, the obstruction over an optical generating electron hole does not exist in a charge discharge path. For this reason, the optical generating electron hole generated by optical exposure in a light-receiving field is discharged by the substrate 11 through the overflow drain field 41. [0054] On the other hand, in the pixel of a non-choosing line, as the dotted line of drawing 6 (g) shows, an energy level changes, and the potential of the carrier pocket 25 is lower. For this reason, the optical generating electron hole accumulated in the carrier pocket 25 is not revealed during read-out actuation of a selection line. Moreover, since the potential of the overflow drain gate 42 is low, the optical generating electron hole generated by optical exposure in a light-receiving field is discharged by the substrate 11 through the overflow drain field 41. [0055] As mentioned above, the electrical potential difference (that is, noise voltage (V_{outN}) is called.) which originated in the charge by the optical generating electron hole besides the electrical potential difference only by the optical generating electron hole is also included in the read threshold voltage. In order to remove this noise voltage from a lightwave signal, actuation which reads only noise voltage (V_{outN}) is succeedingly performed about the selection line which performed read-out actuation. That is, about $7V$ is outputted to output line 59a from the VSCAN drive scanning circuit 102 to the gate electrode 19 of a selection line. Output line 59b to the gate electrode 19 of a non-choosing line is held to touch-down potential. Moreover, a selection line and a non-choosing line maintain VDD drive scanning-line 61a at about $5V$. Moreover, a selection line and a non-choosing line hold the overflow drain gate 42 with touch-down potential. By this, as the continuous line of drawing 6 (h) shows, an energy level changes, and in the pixel of a selection line, residual charge is discharged from the inside of a semi-conductor like the initialization actuation shown by drawing 5 (b). [0056] On the other hand, in the pixel of a non-choosing line, as the dotted line of drawing 6 (h) shows, an energy level changes, and the potential of the carrier pocket 25 is lower. For this reason, the optical generating electron hole accumulated in the carrier pocket 25 is not revealed during read-out actuation of a selection line. Moreover, since the potential of the overflow drain gate 42 is low, the optical generating electron hole generated by optical exposure in a light-receiving field is discharged by the substrate 11 through the overflow drain field 41. [0057] Subsequently, by the pixel of a selection line, like the time of drawing 6 (g), as the continuous line of drawing 6 (i) shows, an energy level is changed, and MOS transistor 112 is operated. Thereby, the 2nd Rhine memory is charged and the threshold voltage (source potential V_{outN}) in the condition that the optical generating electron hole is not

accumulated in the carrier pocket 25 is memorized by the 2nd Rhine memory in the place which charge completed. As the dotted line of drawing 6 (i) shows, an energy level is changed, and it is made for the optical generating electron hole accumulated in the carrier pocket 25 not to be revealed during read-out actuation of a selection line like the time of drawing 6 (g) in a non-choosing line on the other hand.

[0058] Then, as the continuous line of drawing 6 (j) shows, an energy level is changed, and actuation which outputs the electrical potential difference of the difference of the source potentials V_{outS} and V_{outN} is performed. Thus, the video signal ($V_{out}=V_{outS}-V_{outN}$) proportional to an optical exposure can be taken out. Then, actuation of drawing 6 (g) thru/or drawing 6 (j) is repeated, and read-out actuation is performed for every party. In the meantime, in the non-choosing line which is not yet reading, a condition [that an optical generating electron hole is accumulated in the carrier pocket 25] is held.

[0059] Thus, one image can be projected on a screen by reading the lightwave signal by which photo electric conversion was carried out from the pixel of all lines. As mentioned above, in the drive approach of the solid state camera which is the gestalt of implementation of the 1st of this invention, the initialization period, the are recording period, and the read-out period are repeated in this order. Especially, in an initialization period and an are recording period, about all pixels, perform initialization and are recording to the carrier pocket 25, and it sets in read-out actuation. In case a lightwave signal is read from the pixel of a selection line, while making it the optical generating charge which controlled the potential of a charge transfer path and the potential of a charge discharge path, and was accumulated in the carrier pocket 25 of a non-choosing line not revealed It can make it possible to discharge from the overflow drain field 41, without the optical generating charge which read and was generated in the light-receiving field working moving to the direction of the carrier pocket 25.

[0060] By this, it is the whole light-receiving side surface, and the image by the lightwave signal can be incorporated to image sensors at coincidence, the lightwave signal can be changed into an electrical signal, and it can take out to the exterior of image sensors as a video signal. Furthermore, in a series of processes of are recording actuation-read-out actuation-initialization actuation (*****), since a charge generating field and a charge transfer field have an embedded structure, when an optical generating electron hole moves, the ideal photo-electric-conversion device which does not interact with the noise source in a semi-conductor front face or a channel field can be realized.

[0061] (Gestalt of the 2nd operation) Drawing 7 (a) is the sectional view of the solid state image sensor which is the gestalt of the 2nd operation. Drawing 7 (b) is drawing showing the situation of change of the energy level (E_v) of the summit of the valence band which meets the III-III line of drawing 7 (a). a different place from drawing 2 (a) in drawing 7 (a) -- the 1st well -- field 15a and the 2nd well -- without it prepares low-concentration p mold field between field 15b -- the 1st well -- the high impurity concentration of p mold of field 15a -- the 2nd well -- it is the point made higher than the high impurity concentration of p mold of field 15b. In addition, among drawing, since what is shown with the sign as drawing 2 (a) with other same signs shows the same thing as drawing 2 (a), it omits explanation.

[0062] this shows drawing 7 (b) -- as -- the inside of a charge transfer path -- the 1st well -- field 15a and the 2nd well -- the potential barrier over an electron hole where potential becomes high can be formed in a boundary with field 15b so that an energy level may become low to the optical generating electron hole which goes to the carrier pocket 25 from a light-receiving field. Therefore, in are recording actuation of the optical generating electron hole shown in drawing 5 (c), it is possible to prevent migration of an optical generating electron hole to the carrier pocket 25 and the overflow drain field 41, and to store up an optical generating electron hole in a light-receiving field.

[0063] Initialization actuation, are recording actuation, and a series of actuation that consists of read-out actuation are repeatable like the gestalt of the 1st operation by this, it is the whole light-receiving side surface, and the image by the lightwave signal can be incorporated to image sensors at coincidence, the lightwave signal can be changed into an electrical signal, and it can take out to the exterior of image sensors as a video signal.

(Gestalt of the 3rd operation) Drawing 8 is the top view showing the component layout in the unit pixel of the MOS mold image sensors which are the gestalten of the 3rd operation. Drawing 9 is a sectional view which meets the IV-IV line of drawing 8.

[0064] In the gestalt of the 3rd operation, a different place from the gestalt of the 1st operation it is shown in drawing 8 -- as -- the 1st well of the light-receiving diode 111 section, holding so that field 15a may be gathered and located in a line with a row and column and the 1st well of the light-receiving diode 111 section which adjoins in the direction of a train (or line writing direction) -- it approaches in field 15a -- making -- preparing -- those 1st well -- it is the point that the overflow drain field 41 common to field 15a is formed. moreover, the mutual well which and overflow drain gate

(OFDG) 42a adjoins in the upper part of the overflow drain field 41 -- it is the point established through gate-dielectric-film 18a so that pons delivery of the field 15a may be carried out.

[0065] As shown in drawing 9 , the configuration of the lower part of overflow drain gate 42a is characterized by having combined the same configuration as the configuration which reaches the impurity range 17 of the light-receiving diode 111 by two 2-ways centering on the square-like overflow drain field 41 from the overflow drain field 41 which can set caudad the overflow drain gate 42 of drawing 2 (a).

[0066] moreover, it is shown in drawing 8 -- as -- a unit pixel -- almost -- the shape of a rectangle -- having -- the 1st well of the light-receiving diode 111 section -- it is the same as the gestalt of the 1st operation that the direction of the list of the gate electrode 19 of field 15a and MOS transistor 112 is suitable in the direction of slant to the direction of a train or a line writing direction. in order to fulfill the above-mentioned conditions on the other hand -- the 1st well of the light-receiving diode 111 section in a unit pixel -- the point which is reverse by the pixel by which the sense of the list of the gate electrode 19 of MOS transistor 112 adjoins field 15a differs from the gestalt of the 1st operation.

[0067] In addition, among drawing, since what is shown with the sign as drawing 2 (a) with other same signs shows the same thing as drawing 2 (a), it omits explanation. the gestalt of implementation of the above 3rd -- setting -- the 1st well of the light-receiving diode 111 section -- the 1st well of the light-receiving diode 111 section which adjoins in the direction of a train (or line writing direction), holding so that field 15a may be gathered and located in a line with a row and column -- it approaches in field 15a -- making -- preparing -- those 1st well -- the overflow drain field 41 common to field 15a is formed.

[0068] thereby -- the gestalt of the 1st operation -- differing -- especially -- the 1st well -- it becomes unnecessary to form the band-like overflow drain field 41 which connects both field 15a and which functions also as a diffusive separation field over spacing Since other configurations are the same as that of the gestalt of the 1st operation, also in the gestalt of the 2nd operation, the same operation and effectiveness as the gestalt of the 1st operation can be done so.

[0069] (Gestalt of the 4th operation) Drawing 10 is the top view showing the component layout in the unit pixel of the MOS mold image sensors which are the gestalten of the 4th operation. Drawing 11 R> 1 (a) is a sectional view which meets the V-V line of drawing 10 . In the gestalt of the 4th operation which is drawing showing the signs of change of the energy level (Ev) of the summit of a valence band that drawing 11 R> 1 (b) meets the VI-VI line of drawing 11 (a) the 1st well of the light-receiving diode 111 section, holding so that field 15a may be gathered and located in a line with a row and column and the 1st well of the light-receiving diode 111 adjoining section -- it approaches in field 15a - - making -- preparing -- those 1st well -- the point that the overflow drain field 41 common to field 15a is formed is the same as the gestalt of the 3rd operation.

[0070] On the other hand, in the gestalt of the 4th operation, a different place from the gestalt of the 3rd operation is the point that the transfer gate (TG) 44 is established in the boundary part of drain field 17a by the side of the light-receiving diode 111 which adjoins channel field 17b, and the impurity range 17 of the light-receiving diode 111 section through insulator layer 18b, as shown in drawing 11 (a). in this case, the 1st and 2nd wells -- field 15a and 15b are arranged on both sides of n type layer 32a under the transfer gate 44 -- having -- **** -- the transfer gate 44 -- the 1st well -- the 2nd well from the upper part of the edge field of field 15a -- it is prepared over the upper part of the edge field of field 15b. the 1st and 2nd wells -- Fields 15a and 15b are connected by 17d (surface field) of low-concentration p mold fields formed in the surface of n type layer 32a under the transfer gate 44.

[0071] The pixel to which a place which are other configurations in the gestalt of the 4th operation, and is different from the gestalt of the 3rd operation carries out the overflow drain field 41 in common is a point which are what are arranged in the direction of slant to the direction of a train, or a line writing direction. moreover, the 1st well -- it is the point that field 15a has the shape of an octagon. In addition, among drawing, since what is shown with the sign as drawing 2 (a) with other same signs shows the same thing as drawing 2 (a), it omits explanation.

[0072] moreover -- the above -- the 1st and 2nd wells -- although Fields 15a and 15b are connected by 17d of low-concentration p mold fields formed in the surface of n type layer 32a under the transfer gate 44, they are shown in drawing 12 -- as -- the 1st well -- field 15a and the 2nd well -- field 15b may be formed so that n type layer 32a may be inserted. as mentioned above, the gestalt of implementation of the 4th of this invention -- setting -- the inside of a charge transfer path -- the 1st well -- field 15a and the 2nd well -- on the connection field with field 15b, the transfer gate 44 is formed through insulator layer 18b.

[0073] Therefore, the electrical potential difference impressed to the transfer gate 44 can adjust so that the potential of the connection field may serve as an obstruction over an optical generating charge. Thereby, the flow of the optical

generating charge which goes to the carrier pocket 25 from a light-receiving field by the way which is the need is controllable. Next, the drive approach of the MOS mold image sensors a configuration of being shown in drawing 11 with reference to drawing 13 thru/or drawing 15 is explained. It is applicable similarly about the MOS mold image sensors which have the configuration of the periphery of the transfer gate 44 shown in drawing 12.

[0074] Drawing 13 shows the timing chart of each I/O signal for operating the MOS mold image sensors shown in drawing 11. moreover, the light-receiving diode [in / in drawing 14 and drawing 15 / each actuation] 111 and a well -- it is the mimetic diagram showing the situation of change of the energy level (Ev) of Fields 15a and 15b, the carrier pocket 25, the overflow drain field 41 and the energy band of those peripheries, especially the summit of a valence band.

[0075] in this case -- as MOS transistor 112 for lightwave signal detection -- the 2nd well of p mold -- the n channel depletion type MOS transistor formed in field 15b is used. Next, according to drawing 13, drawing 14, and drawing 15, photodetection actuation of the solid state image sensor with which a single string continued is explained briefly. Photodetection actuation is performed by repeating a series of processes which consist of initialization period (**** period)-are recording period-read-out period -. Here, explanation is begun from an initialization period for convenience' sake. In addition, the overflow drain field 41 presupposes that it is grounded throughout a series of actuation.

[0076] First, initialization actuation is performed. pass actuation of drawing 14 (a) thru/or (d) in initialization actuation -- all pixels -- the inside of the carrier pocket 25, and the 1st and 2nd wells -- the charge which remains in field 15a and 15b is discharged. As shown in drawing 14 (a), the residual charge in a light-receiving field is transmitted to the carrier pocket 25. that is, it is shown in drawing 13 -- as -- the potential (Vpd) of drain field 17a (impurity range 17) -- about 3 -- V -- carrying out -- and the potential (Vg) of the gate electrode 19 -- about 0 -- V -- carrying out -- the potential (Vtg) of the transfer gate (TG) 44 -- about 0 -- V -- carrying out -- the potential (Vofdg) of the overflow drain gate 42 -- about 3 -- it is referred to as V.

[0077] Subsequently, as shown in drawing 14 (b), the residual charge within a charge transfer path is transmitted to the carrier pocket 25. namely, having held the potential (Vpd) of drain field 17a (impurity range 17), the potential (Vg) of the gate electrode 19, and the potential (Vofdg) of the overflow drain gate 42 in the front condition, as shown in drawing 13 -- the potential of the transfer gate (TG) 44 -- about 3 -- it is referred to as V.

[0078] Then, as shown in drawing 14 (c), the potential (Vofdg) of the overflow drain field 41 is lowered. subsequently, it is shown in drawing 14 (d) -- as -- the inside of the carrier pocket 25, and the 1st and 2nd wells -- the charge which remains in field 15a and 15b is discharged. that is, it is shown in drawing 13 -- as -- all pixels -- the potential (Vpd) of drain field 17a (impurity range 17) -- about 6 -- V -- carrying out -- and the potential (Vg) of the gate electrode 19 -- about 8 -- it is referred to as V. moreover, the potential (Vtg) of the transfer gate (TG) 44 -- about 8 -- it is referred to as V. Furthermore, let potential (Vofdg) of the overflow drain gate 42 be touch-down potential (zero potential). The potential (Vpd) of drain field 17a also reaches the source field 16 through a channel field.

[0079] the electrical potential difference (Vg) impressed to the gate electrode 19 while the electrical potential difference took for the pn junction of drain field 17a, the source field 16, and an impurity range 17, and the pn junction by the side of a substrate 11 at this time -- the 2nd well -- field 15b and the 2nd well -- n type layer 32b under field 15b is started. the high electric field which the field of the upper part of a substrate 11 is depletion-ized, and are generated by this at this time -- the 1st well of the light-receiving diode 111 section -- the 2nd well which contains the carrier pocket 25 while the residual electron hole in field 15a is directly discharged by the substrate 11 -- a residual electron hole is certainly discharged from field 15b. moreover -- as shown in drawing 14 (d), even if it lets the low overflow drain field 41 of potential pass -- the 1st well of a light-receiving field -- the residual electron hole in field 15a is discharged.

[0080] Next, are recording actuation is performed. As shown in drawing 14 (e) and (f), drawing 15 (a), and (b), about all pixels, are recording actuation generates an optical generating electron hole in a light-receiving field, and transmits and stores it up in the carrier pocket 25. An electrical potential difference (Vpd), for example, about 1 V, is impressed to drain field 17a of MOS transistor 112 for lightwave signal detection. gate voltage which a channel field does not depletion-ize to the gate electrode 19 to drain potential (Vpd) and source potential (Vps) and by which an electron is accumulated in it with sufficient electron density (Vg), about 2 [for example,], -- about V are impressed. [moreover,] the electrical potential difference (Vps) 1 [about] as an electrical potential difference (Vpd) with drain field 17a the electron of sufficient electron density for a channel field is accumulated by this, and the source field 16 is connected through drain field 17a and a channel field, and same with the source field 16 -- V is impressed. Furthermore, 3V

(Vofdg) are impressed to the overflow drain gate 42.

[0081] then, the light-receiving side of all pixels -- and light is irradiated [coincidence] at the light-receiving diode 111. Since the potential barrier over the electron hole of n type layer 32a in the path (charge discharge path) from the light-receiving field to the overflow drain field 41 is expensive as shown in drawing 14 (e) when an electronic-electron hole pair (optical generating charge) is generated by optical exposure, an optical generating electron hole will be accumulated in the light-receiving diode 111 section. In addition, since the potential barrier over the electron hole of n type layer 32b in the path (charge transfer path) from the light-receiving field to the carrier pocket 25 is low somewhat, a part has some which begin to be transmitted to the carrier pocket 25.

[0082] Next, as shown in drawing 14 (f) and drawing 15 (a), the optical generating electron hole of the light-receiving diode 111 section is transmitted and accumulated in the carrier pocket 25 about all pixels in two steps. As shown in drawing 13, first the potential (Vtg) of the transfer gate 44 to touch-down potential about all pixels For this reason, the potential (Vofdg) of the overflow drain gate 42 has been held [and] to 3V, respectively. the potential (Vpd) of drain field 17a of MOS transistor 112 for lightwave signal detection -- about 3, while raising to V the potential (Vg) of the gate electrode 19 -- touch-down potential -- carrying out -- the 1st well of a light-receiving field -- the 2nd well which has the carrier pocket 25 to field 15a -- the potential of field 15b is lowered. The potential distribution whose generating charge of a light-receiving field is made to go to the carrier pocket 25 through a charge transfer field from a light-receiving field is formed by this, and an optical generating electron hole is led to the direction of the carrier pocket 25.

[0083] Then, holding the potential (Vpd) of drain field 17a, the potential (Vg) of the gate electrode 19, the potential (Vps) of the source field 16, and the potential (Vofdg) of the overflow drain gate 42 in the front condition, the potential (Vtg) of the transfer gate 44 is raised to 3V, and the electric field which make the optical generating electron hole in the middle of a charge transfer path go to the carrier pocket 25 are strengthened further.

[0084] Finally, let potential (Vofdg) of the overflow drain gate 42 be touch-down potential, holding the potential (Vpd) of drain field 17a, the potential (Vg) of the gate electrode 19, the potential (Vtg) of the transfer gate 44, and the potential (Vps) of the source field 16 in the front condition, as shown in drawing 13. As shown in drawing 15 (b), the optical generating charge which remains to a light-receiving field is discharged through the overflow drain field 41 at a substrate 11 side.

[0085] subsequently, having held the potential (Vtg) of the transfer gate 44, the potential (Vps) of the source field 16, and the potential (Vofdg) of the overflow drain gate 42 in the front condition, as shown in drawing 13 after a charge transfer -- the potential (Vpd) of drain field 17a -- about 1 -- V -- carrying out -- the potential (Vg) of the gate electrode 19 -- about 2 -- it is referred to as V. Next, read-out actuation is performed. Read the threshold voltage of each pixel, i.e., the lightwave signal by which photo electric conversion was carried out, per party, the storage in the signal output circuit 105 is made to memorize, and it is made to output to the water Hiraide line of force 71 as a video signal succeedingly in this read-out period.

[0086] First, as shown in drawing 13, potential (Vpd) of drain field 17a is set to 3V about all pixels, holding the potential (Vtg) of the transfer gate 44, and the potential (Vofdg) of the overflow drain gate 42 in the front condition. Furthermore, about all the selected pixels of the 1st line (selection line), while holding the potential (Vg) of the gate electrode 19 to about 2 V, let potential (Vg) of the gate electrode 19 of a non-choosing line be touch-down potential.

[0087] At this time, the reversal field of low electric field is formed in a part of channel field of the carrier pocket 25 upper part in the pixel of a selection line, and a high electric-field field is formed in the remaining part of a channel field. The drain voltage-current property of MOS transistor 112 shows saturation characteristics. Thereby, the 1st Rhine memory is charged and the threshold voltage (source potential VoutS) by which light modulation was carried out to the 1st Rhine memory is memorized in the place which charge completed. Moreover, as the continuous line of drawing 15 (d) shows, since the potential of the overflow drain gate 42 is low, the obstruction over an optical generating electron hole does not exist in a charge discharge path. For this reason, the optical generating electron hole generated by optical exposure in a light-receiving field is discharged by the substrate 11 through the overflow drain field 41.

[0088] On the other hand, in the pixel of a non-choosing line, as the dotted line of drawing 15 (d) shows, an energy level changes, and the potential of the carrier pocket 25 is lower. For this reason, the optical generating electron hole accumulated in the carrier pocket 25 is not revealed during read-out actuation of a selection line. Moreover, since the potential of the overflow drain gate 42 is low, the optical generating electron hole generated by optical exposure in a light-receiving field is discharged by the substrate 11 through the overflow drain field 41.

[0089] Then, as the continuous line of drawing 15 (e) shows, an energy level is changed, and actuation which outputs a source electrical potential difference (V_{outS}) is performed. Thus, the video signal ($V_{out}=V_{outS}$) proportional to an optical exposure can be taken out. Then, actuation of drawing 15 (d) thru/or drawing 15 (e) is repeated, and read-out actuation is performed for every party. In the meantime, in the non-choosing line which is not yet reading, a condition [that an optical generating electron hole is accumulated in the carrier pocket 25] is held.

[0090] Thus, one image can be projected on a screen by reading the lightwave signal by which photo electric conversion was carried out from the pixel of all lines. In addition, above, unlike the gestalt of the 1st operation, actuation excluding noise voltage (V_{outN}) from a lightwave signal (V_{outS}) is omitted, but when required, actuation which reads the source potential in the condition of having initialized with the actuation which initializes the carrier pocket 25, i.e., noise voltage, after the actuation which reads the lightwave signal by the optical generating electron hole shown in drawing 15 (d) is performed like the gestalt of the 1st operation. And actuation which outputs the electrical potential difference of the difference of the source potentials V_{outS} and V_{outN} at the time of the actuation which reads a lightwave signal from the Rhine memory shown in drawing 15 (e) is performed. Thus, the video signal ($V_{out}=V_{outS}-V_{outN}$) proportional to an optical exposure can be taken out.

[0091] As mentioned above, also in the gestalt of implementation of the above 4th, the initialization period, the are recording period, and the read-out period are repeated in this order like the gestalt of the 1st operation. Especially, in an initialization period and an are recording period, about all pixels, perform initialization and are recording to the carrier pocket 25, and it sets in read-out actuation. In case a lightwave signal is read from the pixel of a selection line, while making it the carrier which controlled the potential of a charge transfer path and the potential of a charge discharge path, and was accumulated in the carrier pocket 25 of a non-choosing line not revealed The optical generating charge which read and was generated in the light-receiving field working can make it possible to discharge to a substrate 11 through the overflow drain field 41, without moving to the direction of the carrier pocket 25.

[0092] By this, it is the whole light-receiving side surface, and the image by the lightwave signal can be incorporated to image sensors at coincidence, the lightwave signal can be changed into an electrical signal, and it can take out to the exterior of image sensors as a video signal. Moreover, about other 4th configuration of the gestalt of operation, since it is the same as that of the gestalt of the 1st operation, also in the gestalt of the 4th operation, the same operation and effectiveness as the gestalt of the 1st operation can be done so.

[0093] (Gestalt of the 5th operation) Drawing 16 is the top view showing the component layout in the unit pixel of the MOS mold image sensors which are the gestalten of the 5th operation. In the gestalt of the 5th operation, it differs from the gestalt of the 4th operation, and the gestalt of the 4th operation of the point that the overflow drain field 41 is formed for every pixel although it is the same, in that transfer gate 44a and the overflow drain field 41 are formed.

[0094] in addition, the inside of drawing and sign 42C -- the 1st well -- the overflow drain gate prepared over the overflow drain field 41 top from on the edge field of field 15a -- it is -- 17C -- the 1st well under overflow drain gate 42c -- it is low-concentration n mold field or low-concentration p mold field established in the surface of a field from the edge field of field 15a to the overflow drain field 41.

[0095] As mentioned above, in the gestalt of the 5th operation, since it has the same configuration as the gestalt of the 4th operation except the point that the overflow drain field 41 is formed for every pixel, also in the gestalt of the 5th operation, the same operation and effectiveness as the gestalt of the 4th operation can be done so. As mentioned above, although the gestalt of operation explained this invention to the detail, the range of this invention is not restricted to the example concretely shown in the gestalt of the above-mentioned implementation, and modification of the gestalt of the above-mentioned implementation of the range which does not deviate from the summary of this invention is included in the range of this invention.

[0096] For example, although the Rhine memory which consists of an input capacitor is directly linked with the source field 56 in a signal output circuit with the gestalt of the above-mentioned operation, a constant current source is connected to juxtaposition and it is good for the Rhine memory also as source follower connection. In this case, it is not necessary to prepare a switched capacitor circuit. moreover, the inside of n type layer 32a on the substrate 11 of p mold, and 32b -- the 1st and 2nd wells -- although Fields 15a and 15b are formed -- instead of [of n type layers 32a and 32b] -- the epitaxial layer of p mold -- n mold impurity -- introducing -- n type layer -- forming -- the inside of this n type layer -- the 1st and 2nd wells -- Fields 15a and 15b may be formed.

[0097] Furthermore, although the substrate 11 of p mold is used, the substrate of n mold may be used instead. In this case, what is necessary is just to reverse all of each class explained with the gestalt of the above-mentioned

implementation etc., and the conductivity type of each field, in order to acquire the same effectiveness as the gestalt of the above-mentioned implementation. In this case, the carrier which should be accumulated in the carrier pocket 25 is an electron among an electron and an electron hole.

[0098]

[Effect of the Invention] As mentioned above, in the solid state camera of this invention, it has the charge discharge path which discharges to a substrate the optical generating charge generated in the light-receiving field, and a means to control the potential barrier over the optical generating charge of a charge discharge path. Therefore, the flow of the optical generating charge which faces to a substrate from a light-receiving field by the way which is the need is controllable.

[0099] Moreover, it has a means to control the potential barrier over an optical generating charge also in the charge transfer path of transmitting the optical generating charge generated in the light-receiving field to the are recording field of the MOS transistor for lightwave signal detection. Thereby, the flow of the optical generating charge which goes to an are recording field from a light-receiving field by the way which is the need is controllable. In the drive approach of the solid state camera this invention, initialization actuation, are recording actuation, and read-out actuation are repeated in this order. Especially, in initialization actuation and are recording actuation, about all pixels, perform initialization and are recording to an are recording field, and it sets in read-out actuation. In case a lightwave signal is read from the pixel of a selection line, while making it the carrier which controlled the potential of a charge transfer path and the potential of a charge discharge path, and was accumulated in the are recording field of a non-choosing line not revealed It can make it possible to discharge to a substrate, without moving the optical generating charge which read and was generated in the light-receiving field working to the direction of an are recording field.

[0100] By this, it is the whole light-receiving side surface, and the image by the lightwave signal can be incorporated to a solid state camera at coincidence, the lightwave signal can be changed into an electrical signal, and it can take out to the exterior of a solid state camera as a video signal.

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-134729

(P2002-134729A)

(43)公開日 平成14年5月10日(2002.5.10)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 1 L 27/146		H 0 4 N 5/335	E 4 M 1 1 8
H 0 4 N 5/335			U 5 C 0 2 4
		H 0 1 L 27/14	A

審査請求 未請求 請求項の数17 O L (全 19 頁)

(21)出願番号 特願2000-327662(P2000-327662)

(22)出願日 平成12年10月26日(2000.10.26)

(71)出願人 593102345

イノテック株式会社

神奈川県横浜市港北区新横浜3-17-6

(72)発明者 川尻 和廣

神奈川県横浜市港北区新横浜3丁目17番6号 イノテック株式会社内

(72)発明者 三井田 ▲高▼

神奈川県横浜市港北区新横浜3丁目17番6号 イノテック株式会社内

(74)代理人 100091672

弁理士 岡本 啓三

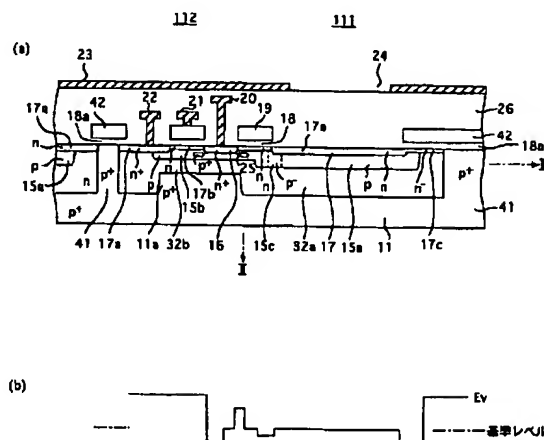
最終頁に続く

(54)【発明の名称】 固体撮像装置及びその駆動方法

(57)【要約】

【課題】 受光面全面で、かつ同時に光信号による映像を取り込んで、その光信号を電気信号に変換して映像信号として外部に取り出すことができるMOS型イメージセンサを提供する。

【解決手段】 基板11上に形成された光照射により光発生電荷を発生する受光領域を備えた受光ダイオード111と、光発生電荷の蓄積領域25を備え、光発生電荷の蓄積により変調された閾値電圧を光信号として出力する、基板11上に形成された光信号検出用絶縁ゲート型電界効果トランジスタ112と、受光領域で発生した光発生電荷を蓄積領域に転送する電荷転送経路と、受光領域で発生した光発生電荷を基板に排出する電荷排出経路と、電荷排出経路の光発生電荷に対する電位障壁を制御する手段42とを有する。



【特許請求の範囲】

【請求項1】 基板上に形成された光照射により光発生電荷を発生する受光領域を備えた受光ダイオードと、前記光発生電荷の蓄積領域を備え、光発生電荷の蓄積により変調された閾値電圧を光信号として出力する、前記基板上に形成された光信号検出用絶縁ゲート型電界効果トランジスタと、前記受光領域で発生した光発生電荷を前記蓄積領域に転送する電荷転送経路と、前記受光領域で発生した光発生電荷を前記基板に排出する電荷排出経路と、前記電荷排出経路の前記光発生電荷に対する電位障壁を制御する手段とを有することを特徴とする固体撮像装置。

【請求項2】 前記受光ダイオードは一導電型の前記基板上に形成された反対導電型層内に形成された一導電型の第1のウエル領域と、前記第1のウエル領域の表層に形成された反対導電型領域とを有し、前記光信号検出用絶縁ゲート型電界効果トランジスタは前記反対導電型層内に形成された一導電型の第2のウエル領域と、リング状のゲート電極と、該リング状のゲート電極の内縁に囲まれた前記第2のウエル領域内に形成されたソース領域と、前記リング状のゲート電極の外縁を囲む前記第2のウエル領域内に形成されたドレイン領域と、前記ドレイン領域と前記ソース領域との間のチャネル領域と、前記チャネル領域下の第2のウエル領域内であって、前記ソース領域を囲むように形成された、前記第1及び第2のウエル領域よりも高い不純物濃度を有する高濃度埋込層とを有し、前記受光領域は前記第1のウエル領域を含み、前記光発生電荷の蓄積領域は前記高濃度埋込層であり、前記電荷転送経路は前記第1のウエル領域及び第2のウエル領域を含むことを特徴とする請求項1記載の固体撮像装置。

【請求項3】 前記第1のウエル領域に前記反対導電型層を介して隣接する、前記基板と接続した一導電型のオーバーフロードレイン領域と、前記第1のウエル領域の端部領域上から前記オーバーフロードレイン領域上にかけてゲート絶縁膜を介して形成されたオーバーフロードレインゲートとを有し、前記電荷排出経路は前記第1のウエル領域の端部領域から前記反対導電型層を経て前記オーバーフロードレイン領域に至る経路を含み、前記電荷排出経路の光発生電荷に対する電位障壁を制御する手段は前記オーバーフロードレインゲートであることを特徴とする請求項2記載の固体撮像装置。

【請求項4】 前記電荷排出経路内であって、少なくとも前記第1のウエル領域から前記反対導電型層を経て前記オーバーフロードレイン領域に至る経路の表層に一導電型領域が形成されていることを特徴とする請求項3記載の固体撮像装置。

【請求項5】 前記電荷排出経路内であって、少なくとも前記第1のウエル領域から前記反対導電型層を経て前

記オーバーフロードレイン領域に至る経路の表層に反対導電型領域が形成されていることを特徴とする請求項3記載の固体撮像装置。

【請求項6】 前記第1のウエル領域と第2のウエル領域の間に前記第1のウエル領域及び第2のウエル領域よりも低濃度の一導電型領域を介在させることにより前記電荷転送経路内に前記光発生電荷に対する電位障壁が形成されていることを特徴とする請求項2乃至5の何れか一に記載の固体撮像装置。

10 【請求項7】 前記第1のウエル領域と前記第2のウエル領域は相互に接続し、かつ前記第1のウエル領域の不純物濃度を前記第2のウエル領域の不純物濃度よりも高くすることにより前記電荷転送経路内に前記光発生電荷に対する電位障壁が形成されていることを特徴とする請求項2乃至5の何れか一に記載の固体撮像装置。

【請求項8】 前記電荷転送経路のうち前記第1のウエル領域と前記第2のウエル領域とを接続する領域の前記光発生電荷に対する電位障壁を制御する手段を有することを特徴とする請求項2乃至5の何れか一に記載の固体撮像装置。

20 【請求項9】 前記第1のウエル領域と前記第2のウエル領域とを接続する領域は前記反対導電型層であり、前記光発生電荷に対する電位障壁を制御する手段は、前記第1のウエル領域の表層に形成された反対導電型領域の縁部から前記第1のウエル領域の端部領域、前記反対導電型層及び前記第2のウエル領域の端部領域を経て前記ドレイン領域の縁部に至る経路上にゲート絶縁膜を介して設けられたトランスファゲートであることを特徴とする請求項8記載の固体撮像装置。

30 【請求項10】 前記電荷転送経路内であって、少なくとも前記第1のウエル領域から前記反対導電型層を経て前記第2のウエル領域に至る経路の表層に一導電型領域が形成されていることを特徴とする請求項9記載の固体撮像装置。

【請求項11】 前記電荷転送経路内であって、少なくとも前記第1のウエル領域から前記反対導電型層を経て前記第2のウエル領域に至る経路の表層に反対導電型領域が形成されていることを特徴とする請求項9記載の固体撮像装置。

40 【請求項12】 請求項1乃至11の固体撮像装置の構成を1つの画素とし、該画素が前記基板上に複数配列されてなることを特徴とする固体撮像装置。

【請求項13】 隣接する複数の前記画素の各電荷排出経路はともに、各々の前記第1のウエル領域から延びて一カ所で前記基板と接続され、かつ前記各電荷排出経路において前記光発生電荷に対する電位障壁を制御する手段を有することを特徴とする請求項12記載の固体撮像装置。

50 【請求項14】 前記複数の画素は列と行に配列されていることを特徴とする請求項12又は13の何れか一に

記載の固体撮像装置。

【請求項15】 前記固体撮像装置は、前記光信号検出用絶縁ゲート型電界効果トランジスタのゲート電極に走査信号を供給する垂直走査信号駆動走査回路と、前記絶縁ゲート型電界効果トランジスタのドレイン領域にドレイン電圧を供給するドレイン電圧駆動走査回路と、

前記絶縁ゲート型電界効果トランジスタのソース領域の電圧を記憶し、さらに前記ソース領域の電圧に対応した光信号を出力する信号出力回路と、

前記光信号を読み出すタイミングを制御する走査信号を供給する水平走査信号入力走査回路とを有することを特徴とする請求項13記載の固体撮像装置。

【請求項16】 請求項14記載の固体撮像装置を用いて、前記光発生電荷に基づく光信号を読み出し、映像信号として出力する固体撮像装置の駆動方法であって、

(a) すべての前記画素について、前記受光領域内の残留電荷に対して前記電荷排出経路の電位障壁を低くし、及び前記光発生電荷の蓄積領域内の残留電荷に対して前記蓄積領域から前記基板に至る経路の電位障壁を低くして、少なくとも前記受光領域内及び前記光発生電荷の蓄積領域内の残留電荷を前記基板に掃き出し、

(b) 次いで、前記すべての画素について、前記受光領域内の光発生電荷に対して前記電荷転送経路と前記電荷排出経路とに電位障壁を形成して、前記受光領域に光照射により前記光発生電荷を発生させ、蓄積し、

(c) 次いで、前記受光領域内の光発生電荷に対して前記電荷排出経路に電位障壁を形成するとともに前記電荷転送経路の電位障壁を低くして、前記光発生電荷を前記電荷転送経路を通して前記蓄積領域に転送して蓄積し、

(d) 次いで、前記光発生電荷に対応する光信号読み出しのために選択された前記行に並ぶ画素のすべてについて、前記受光領域内の光発生電荷に対して前記電荷転送経路に電位障壁を形成するとともに前記電荷排出経路の電位障壁を低くして、前記光発生電荷の蓄積量に対応する閾値電圧の変化を読み出すとともに、前記受光領域で発生する光発生電荷を前記受光領域から前記電荷排出経路を通して前記基板に排出し、一方、前記選択された行以外の他の前記行の画素のすべてについて、前記蓄積領域の光発生電荷に対して前記光発生電荷の蓄積領域から前記基板に至る経路に電位障壁を形成して前記蓄積領域に前記光発生電荷を蓄積しておくとともに、前記受光領域で発生する光発生電荷に対して前記電荷転送経路に電位障壁を形成し、かつ前記電荷排出経路の電位障壁を低くして前記受光領域で発生する光発生電荷を前記電荷排出経路を経て前記基板に排出し、

(e) 前記(d)の動作を繰り返して、前記画素に取り込まれた光信号を前記すべての行について順次読み出すことを特徴とする固体撮像装置の駆動方法。

【請求項17】 前記(e)の動作の前であって、前記

(d)における前記光発生電荷の蓄積量に対応する閾値電圧の変化を読み出す動作の後に、前記行に並ぶ画素のすべてについて、

(d1) 前記光発生電荷の蓄積領域に蓄積された光発生電荷を排出し、

(d2) 次いで、前記光発生電荷の蓄積領域から前記光発生電荷を排出した状態での閾値電圧の変化を読み出し、

(d3) 次いで、前記光発生電荷の蓄積量に対応する閾値電圧の変化と、前記光発生電荷の蓄積領域から前記光発生電荷を排出した状態での閾値電圧の変化との差の信号を読み出すことを特徴とする請求項16記載の固体撮像装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、固体撮像装置及びその駆動方法に関し、より詳しくは、ビデオカメラ、電子カメラ、画像入力カメラ、スキャナ又はファクシミリ等に用いられる閾値電圧変調方式のMOS型イメージセンサを用いた固体撮像装置及びその駆動方法に関する。

【0002】

【従来の技術】CCD型イメージセンサやMOS型イメージセンサなどの半導体イメージセンサは量産性に優れているため、パターンの微細化技術の進展に伴い、ほとんどの画像入力デバイス装置に適用されている。特に、近年、CCD型イメージセンサと比べて、消費電力が小さく、かつセンサ素子と周辺回路素子とを同じCMOS技術によって作成できるという利点を生かして、MOS型イメージセンサが見直されている。

【0003】このような世の中の動向に鑑み、本願出願人はMOS型イメージセンサの改良を行い、光信号検出用MOSトランジスタのチャネル領域下にキャリアポケット（高濃度埋込層）25を有するセンサ素子に関する特許出願（特願平10-186453号）を行って特許（登録番号2935492号）を得ている。そのMOS型イメージセンサは特許の図8に示す構造を有している。その構造においては、図8に示すように、単位画素は受光ダイオードと受光ダイオードに隣接する光信号検出用MOSトランジスタとから構成される。受光ダイオードと光信号検出用MOSトランジスタとはp型のウェル領域によって繋がっている。光信号検出用MOSトランジスタにおいては、ゲート電極がリング状を有し、中央部にn型のソース領域が形成され、ゲート電極の外周を囲むようにn型のドレイン領域が形成されている。ゲート電極下方、ソース領域の近傍のウェル領域内にソース領域を囲むようにp型のホールポケットが設けられている。

【0004】ところで、CCDセンサはメカニカルシャッタ無しで全面同時シャッタを切って受光ダイオードにより映像信号を受光した後、その映像信号を転送路に読

み出し、その後転送路に読み出した信号を外部に読み出すことにより静止した歪のない映像信号を取り出すことができる。これに対して、上記MOS型イメージセンサではフォーカルプレーン型シャッタで受光ダイオードにより画像を取り込む。そして、一連の繰り返し動作により光電変換された映像信号を取り出す。例えば、初期化期間に各電極に高い逆電圧を印加して空乏化させ、ホールポケットに残る光発生正孔を放出させる。蓄積期間に受光ダイオード部に光照射により光発生正孔を生じさせ、ホールポケットに転送させて蓄積させ、読出期間に光発生正孔の蓄積量に比例して変調された光信号検出用電界効果トランジスタの閾値を検出することにより光信号を検出する。

【0005】

【発明が解決しようとする課題】しかしながら、上記画像取り込み方式では、高速移動物体を撮影する場合、またより多画素を有するイメージセンサで撮影する場合、読み始めと読み終わりの時間差のため、画像に歪が生じるという問題がある。本発明は、上記従来技術の問題点に鑑みて創作されたものであり、受光面全面で、かつ同時に光信号による映像を取り込んで、その光信号を電気信号に変換して映像信号として外部に取り出すことができるMOS型イメージセンサ及びその駆動方法を提供するものである。

【0006】

【課題を解決するための手段】上記課題を解決するため、この発明は固体撮像装置に係り、その固体撮像装置の基本構成として、基板上に形成された光照射により光発生電荷を発生する受光領域を備えた受光ダイオードと、前記光発生電荷の蓄積領域を備え、光発生電荷の蓄積により変調された閾値電圧を光信号として出力する、前記基板上に形成された光信号検出用絶縁ゲート型電界効果トランジスタと、前記受光領域で発生した光発生電荷を前記蓄積領域に転送する電荷転送経路と、前記受光領域で発生した光発生電荷を前記基板に排出する電荷排出経路と、前記電荷排出経路の前記光発生電荷に対する電位障壁を制御する手段とを有している。

【0007】即ち、図2(a)、図7(a)及び図11(a)に示すように、受光ダイオード111と受光ダイオード111に隣接する光信号検出用の絶縁ゲート型電界効果トランジスタ(MOSTランジスタ)112とを含む単位画素101を有している。そして、受光ダイオード111はp型の基板11上のn型層32a内に形成されたp型の第1のウエル領域15a、43に形成され、MOSTランジスタ112はp型の基板11上のn型層32b内に形成されたp型の第2のウエル領域15bに形成されている。また、MOSTランジスタ112のチャネル領域の下第2のウエル領域15b内であって、ソース領域16の周辺部に光発生電荷を蓄積する高濃度埋込層(キャリアポケット：光発生電荷の蓄積領

域)25が形成されている。

【0008】さらに、図2(a)、図7(a)、図9及び図11(a)に示すように、受光ダイオード111部のp型の第1のウエル領域15a、43の隣にn型層32aを挟んでp型の基板11と繋がっているp型のオーバフロードレイン領域41が設けられている。また、第1のウエル領域15a、43の端部領域の上方からオーバフロードレイン領域41の上方にわたってオーバフロードレインゲート(OFDG：光発生電荷に対する電位障壁を制御する手段)42、42a、42bが絶縁膜18aを介して設けられている。オーバフロードレインゲート42、42a、42bの下方であって、第1のウエル領域15a、43の端部領域の表層及びn型層32aの表層に、受光ダイオード111部のn型の不純物領域17とp型のオーバフロードレイン領域41とをつなぐ低濃度のn型領域又はp型領域(表層領域)17cが形成されている。上記の第1のウエル領域15a、43からn型層32a及びオーバフロードレイン領域41を経てp型の基板11に至る経路が電荷排出経路を構成し、必要な場合オーバフロードレインゲート42、42a、42bにより電荷排出経路の光発生電荷に対する電位障壁が制御される。

【0009】特に、図8、図10に示すように、受光ダイオード111部のウエル領域15aが行と列に揃って並ぶように保持しつつ、かつ、列方向(或いは行方向)や斜め方向で隣接する第1のウエル領域15aに対して共通のオーバフロードレイン領域41が設けられている。オーバフロードレインゲート42a、42bはオーバフロードレイン領域41の上方を通り、隣接する相互の第1のウエル領域15aを橋渡しするように設けられている。

【0010】上記の構成において、キャリアポケット25への光発生電荷の流れを制御するため、受光領域からキャリアポケット25に至る電荷転送経路で光発生電荷に対する電位障壁を制御することができるよう、以下のような特徴を有している。第1に、図2(a)に示すように、電荷転送経路において、第1及び第2のウエル領域15aと15bとは低濃度のp型領域15cを介して繋がっていることを特徴としている。

【0011】第2に、図7(a)に示すように、受光ダイオード111部の第1のウエル領域43はMOSTランジスタ112部の第2のウエル領域15bよりもp型の不純物濃度が高くなっていることを特徴としている。第3に、図11(a)に示すように、第1及び第2のウエル領域15a、15b同士はn型層32aを挟んで配置されており、トランスファゲート44は第1のウエル領域15aの端部領域の上方からn型層32aの上方を経て第2のウエル領域15bの端部領域の上方にわたって設けられている。トランスファゲート44の下でn型層32aの表層に低濃度のp型領域(表層領域)17d

が形成されている。場合により、p型領域17dを設けず、n型層32aが表面に露出してもよい。

【0012】次に、上記構造の固体撮像装置、特に光発生電荷としてホール（正孔）を用いた場合において、本発明の固体撮像装置の駆動方法を説明する。まず、初期化動作を行なう。初期化動作では、全面素について少なくとも受光領域及びキャリアポケット25から光発生電荷を排出する動作を行なわせる。即ち、受光領域内の残留電荷に対して電荷排出経路の電位障壁を低くし、及びキャリアポケット25内の残留電荷に対してキャリアポ

ケット25から基板11に至る経路の電位障壁を低くして、受光領域及びキャリアポケット25内の残留電荷を掃き出す。

【0013】次いで、蓄積動作に移る。蓄積動作では、全面素において光発生電荷を蓄積する動作を行なわせる。即ち、受光領域内の光発生電荷に対して電荷転送経路と電荷排出経路とに電位障壁を形成して、受光面全面で、かつ同時に映像に基づく光信号を取り込む。これにより、受光領域で光発生電荷を発生させ、かつ受光領域に光発生電荷を蓄積する。次いで、受光領域内の光発生電荷に対して電荷排出経路に電位障壁を形成するとともに電荷転送経路の電位障壁を低くして、光発生電荷をキャリアポケット25に転送する。

【0014】次いで、読出し動作に移る。読出し動作では、一行ずつ、光電変換された光信号を読み出す。このため、光発生電荷に基づく光信号読み出しのために選択された行に並ぶ画素のすべてについて、光発生電荷に対応する光信号読み出しのために選択された行に並ぶ画素のすべてについて、受光領域内の光発生電荷に対して電荷転送経路に電位障壁を形成するとともに電荷排出経路の電位障壁を低くして、光発生電荷の蓄積量に対応する閾値電圧の変化を読み出す。このとき、受光領域で引き続き受光している場合に受光領域で発生する光発生電荷は受光領域から電荷排出経路を通して基板11に排出される。一方、選択されない行（非選択行）の画素のすべてについて、キャリアポケット25の光発生電荷に対してキャリアポケット25から基板11に至る経路に電位障壁を形成してキャリアポケット25に光発生電荷を蓄積しておくとともに、受光領域で発生する光発生電荷に対して電荷転送経路に電位障壁を形成し、かつ電荷排出経路の電位障壁を低くして受光領域で発生する光発生電荷を電荷排出経路を経て基板に排出するとともにキャリアポケット25内の光発生電荷が漏洩しないようにする。

【0015】このようにして、光発生電荷に対応する光信号を行毎に順次読み出す。なお、光信号は雑音の原因となる残留キャリアによるノイズ信号成分を含んでいる。ノイズ信号成分を除くための特別な動作を行なってもよい。即ち、図4、図5、図6に示すように、読出し動作においては、選択行の光信号の読出し動作に続い

て、非選択行の画素への電位付与状態はそのままにして、その選択行の画素を上記と同じようにして初期化し、引き続き、初期化した状態での閾値電圧を読み出す。そして、光発生電荷量に対応する閾値電圧と初期化した状態での閾値電圧の差の信号を算出し、正味の光信号成分を映像信号として出力する。

【0016】以下に、上記構成により奏される作用・効果を説明する。この発明の固体撮像装置においては、受光領域で発生した光発生電荷を基板11に排出する電荷排出経路と、電荷排出経路の光発生電荷に対する電位障壁を制御する手段とを有している。具体的には、電荷排出経路は、受光ダイオード111の第1のウエル領域15aからn型層32a及びオーバーフロードレイン領域41を経て基板11に至る経路である。また、電位障壁を制御する手段は電荷排出経路上に設けられたオーバーフロードレインゲート42である。

【0017】従って、必要なときに、受光領域から基板11に向かう光発生電荷の流れを制御することができ。また、電荷転送経路のうち、受光ダイオード111部の第1のウエル領域15aとMOSトランジスタ部の第2のウエル領域15bとの接続領域に低濃度のp型領域15cが介在している。

【0018】低濃度のp型領域15cは周りの第1及び第2のウエル領域15a、15bに比べて正孔に対する電位が高くなる。この場合、ゲート電極19に印加する電圧とドレイン領域17aに印加する電圧とを相対的に調整することにより、p型領域15cの電位が光発生電荷に対する障壁となるように調整することができる。これにより、必要なときに、受光領域からキャリアポケット25に向かう光発生電荷の流れを制御することができる。

【0019】さらに、受光ダイオード111部の第1のウエル領域43はMOSトランジスタ112部の第2のウエル領域15bよりもp型の不純物濃度が高くなっている。p型の不純物濃度が低い方の第2のウエル領域15bはp型の不純物濃度が高い方の第1のウエル領域43よりも光発生電荷に対する電位が高くなる。この場合、ゲート電極19に印加する電圧とドレイン領域17aに印加する電圧とを相対的に調整することにより、その電位差が光発生電荷に対する障壁となるように調整することができる。これにより、受光領域からキャリアポケット25に向かう光発生電荷の流れを制御することができる。

【0020】また、第1のウエル領域15aと第2のウエル領域15bとがn型層32aを介して接続され、かつその接続領域上に絶縁膜18bを介してトランスファゲート44が設けられている。場合により、トランスファゲート44の下でn型層32aの表層に低濃度のp型領域17dが形成されてもよい。トランスファゲート44に印加する電圧により、その領域の電位が光発生電荷

に対する障壁となるように調整することができる。これにより、受光領域からキャリアポケット25に向かう光発生電荷の流れを制御することができる。

【0021】この発明の固体撮像装置の駆動方法においては、初期化期間と蓄積期間と読出期間とをこの順に繰り返している。特に、初期化期間と蓄積期間で全画素について、初期化とキャリアポケット25への蓄積とを行ない、読出し動作において、選択行の画素から光信号を読み出す際に、電荷転送経路の電位と、電荷排出経路の電位とを制御して非選択行のキャリアポケット25に蓄積されたキャリアが漏洩しないようにするとともに、読出し動作中に受光領域で発生した光発生電荷をキャリアポケット25の方に移動させずに、基板11に排出できるようにすることができる。

【0022】これにより、受光面全面で、かつ同時に光信号による映像を固体撮像装置に取り込んでその光信号を電気信号に変換し、映像信号として固体撮像装置の外部に取り出すことができる。なお、第1及び第2のウエル領域15a、15b等が上記と逆の導電型の場合、即ち高濃度埋込層25がn型の場合、高濃度埋込層25はエレクトロンポケット（キャリアポケット）となり、光発生電子を蓄積することになる。

【0023】

【発明の実施の形態】以下に、本発明の実施の形態について図面を参照しながら説明する。

（第1の実施の形態）図1は、本発明の第1の実施の形態であるMOS型イメージセンサの単位画素内における素子レイアウトについて示す平面図である。図2（a）は、図1のI-I線に沿う断面図である。

【0024】図1及び図2（a）に示すように、単位画素101内に、受光ダイオード111と光信号検出用MOSTランジスタ112とが隣接して設けられている。MOSTランジスタ112としてnチャネルディプレッションMOSTランジスタ（以下、単にMOSTランジスタと称する場合もある。）を用いている。単位画素101はほぼ長方形形状を有し、列又は行方向に対して斜めに向いている。単位画素101は一行内では特に分離されていないが、p型のオーバフロードレイン領域41により行間が分離されている。

【0025】これら受光ダイオード111とMOSTランジスタ112は、それぞれ異なるウエル領域、即ち第1のウエル領域15aと第2のウエル領域15bに形成され、それらのウエル領域15a、15bは低濃度のp型領域15cを介して互いに接続されている。受光ダイオード111の部分の第1のウエル領域15aは光照射による電荷の発生領域の一部を構成している。MOSTランジスタ112の部分の第2のウエル領域15bはこの領域15bに付与するポテンシャルによってチャネルの閾値電圧を変化させることができるゲート領域を構成している。

【0026】受光ダイオード111の部分では、図2（a）に示すように、p型の基板11上にn型層32aが形成されており、上記した第1のウエル領域15aはこのn型層32a上に形成されている。また、第1のウエル領域15aの表層にn型の不純物領域（反対導電型領域）17が形成されている。MOSTランジスタ112の部分では、図2（a）に示すように、p型の基板11は濃度の高いp型層11aを含み、受光ダイオード111部分よりも厚くなっている。そのp型層11a上にn型層（反対導電型層）32bが形成されており、上記したウエル領域15bはこのn型層32b上に形成されている。ウエル領域15bの上方の半導体基板の表面にはゲート絶縁膜18を介してゲート電極19が形成されている。

【0027】ゲート電極19はリング状を有している。リング状のゲート電極19の内縁に囲まれるようにウエル領域15bの表層にソース領域16が形成されている。リング状のゲート電極19の外縁を囲むように、かつウエル領域15bからn型層32aにわたってそれらの表層にドレイン領域17aが形成されている。受光ダイオード111側ではドレイン領域17aが延在して受光ダイオード111の不純物領域17が形成されている。即ち、不純物領域17とドレイン領域17aとは互いに接続した第1及び第2のウエル領域15a、15bの表層に大部分の領域がかかるように一体的に形成されている。なお、以下で、ドレイン領域という場合、ドレイン領域を示す符号として17aと記していても、不純物領域17を含めた領域を意味することがある。

【0028】ソース領域16とドレイン領域17aの間の領域がチャネル領域となる。通常の動作電圧において、チャネル領域をディプレッション状態に保持するため、チャネル領域に適度な濃度のn型不純物を導入してn型のチャネルドープ層17bを形成している。そのn型のチャネルドープ層17b下のウエル領域15b内に、ソース領域16を囲むようにキャリアポケット（高濃度埋込層；光発生電荷の蓄積領域）25が形成されている。キャリアポケット25では、キャリアポケット25周辺部の第1及び第2のウエル領域15a、15bに比べてp型の不純物濃度を高くしているため、光発生電荷のうち光発生正孔に対してキャリアポケット25内部のポテンシャルが低くなる。これにより、光発生正孔をこのキャリアポケット25に集めることができる。

【0029】なお、第1及び第2のウエル領域15aと15bの間に介在する低濃度のp型領域（一導電型領域）15cは受光ダイオード111側のドレイン領域17aとチャネルドープ層17bの境界部分に当たる領域に形成されている。第1のウエル領域15aと低濃度のp型領域15cと第2のウエル領域15bとで構成される、受光領域からキャリアポケット25に至る経路が電荷転送経路となる。

【0030】さらに、上記のように行間を分離しているp型のオーバフロードレイン領域41の隣に、n型層32aを介して受光ダイオード111部の第1のウエル領域15aが設けられている。オーバフロードレイン領域41は基板11と接続しており、行間を分離するとともに過剰な光発生電荷を基板11に排出する機能を有する。

【0031】第1のウエル領域15aからn型層32a及びオーバフロードレイン領域41を経て基板に至る経路が電荷排出経路となる。さらに、電荷排出経路のうち、第1のウエル領域15aの端部領域の上方からオーバフロードレイン領域41上方にわたってオーバフロードレインゲート42がゲート絶縁膜18aを介して設けられている。オーバフロードレインゲート42下には第1のウエル領域15aの端部領域の表層からn型層32aの表層にわたって低濃度のn型領域(表層領域)17cが形成されている。即ち、n型領域17cはオーバフロードレイン領域41と不純物領域17とをつないでいる。場合により、低濃度のn型領域17cの代わりに低濃度のp型領域を用いてもよい。

【0032】また、上記要素は絶縁膜26により被覆されており、受光ダイオード111の受光窓24以外の領域は絶縁膜26上に形成された金属層(遮光膜)23により遮光されている。次に、図2(b)を参照して、オーバフロードレイン領域からキャリアポケット25に至る表面に平行な平面内であって、一方向に沿う価電子帯(E_v)の変化の様子、及びキャリアポケット25から基板11に至る深さ方向に沿う価電子帯(E_v)の変化の様子について説明する。図2(b)は図2(a)のII-II線に沿う、価電子帯(E_v)の頂上の変化の様子を示す図である。ソース領域16、ドレイン領域17a及び不純物領域17よりわずかに深く、かつ図面の受光領域を中心として、左側のキャリアポケット25に至る経路が電荷転送経路内の価電子帯(E_v)の変化の様子を示し、右側のオーバフロードレイン領域41に至る経路が電荷排出経路内の価電子帯(E_v)の変化の様子を示す。

【0033】受光領域としての第1のウエル領域15から左側に、電荷転送経路を構成する、不純物領域17下の第1のウエル領域15a、低濃度のp型領域15c、ドレイン領域17a及びチャネル領域17b下の第2のウエル領域15b、キャリアポケット25、ソース領域16下の第2のウエル領域15b、キャリアポケット25、チャネル領域17b及びドレイン領域17a下の第2のウエル領域15bが配置されている。また、第1のウエル領域15から右側に、電荷排出経路を構成する、不純物領域17下の第1のウエル領域15a、n型層32a、オーバフロードレイン領域41が並んでいる。この場合、どの電極や領域にも電圧を印加していない状態を示している。また、第1及び第2のウエル領域15a

と15bにおける価電子帯(E_v)の頂上を基準レベルとしている。

【0034】受光領域とキャリアポケット25の間に、低濃度のp型領域15cにより、及び受光領域とオーバフロードレイン領域41の間に、n型層32aにより、それぞれ基準レベルよりも低いエネルギーレベルの領域が形成されている。このエネルギーレベルの低い領域は光発生正孔に対して障壁となる。また、高濃度のp型のキャリアポケット25では基準レベルよりも高くなっており、光発生ホールが集められ易くなっている。

【0035】ゲート19やオーバフロードレインゲート42その他の領域に加える電圧を調整することにより電位障壁の高低を調整して、キャリアポケット25やオーバフロードレイン領域41への光発生正孔の移動を制御することができる。次に、図3を参照して上記の構造の単位画素を用いたMOS型イメージセンサの全体の構成について説明する。図3は、本発明の第1の実施の形態におけるMOS型イメージセンサの回路構成図を示す。

【0036】図3に示すように、このMOS型イメージセンサは、2次元アレーセンサの構成を採っており、上記した構造の単位画素101が列方向及び行方向にマトリクス状に配列されている。また、垂直走査信号(VSCAN)の駆動走査回路102及びドレイン電圧(VDD)の駆動走査回路103が画素領域を挟んでその左右に配置されている。

【0037】垂直走査信号供給線(VSCAN供給線)59a、59b、・・・は垂直走査信号の駆動走査回路102から行毎に一つずつ出ている。各垂直走査信号供給線59a、59b、・・・は、行方向に並ぶ全ての単位画素101内のMOSTランジスタ112のゲート電極19に接続されている。また、ドレイン電圧供給線(VDD供給線)61a、61b、・・・はドレイン電圧(VDD)の駆動走査回路103から行毎に一つずつ出ている。各ドレイン電圧供給線61a、61b、・・・は、行方向に並ぶ全ての単位画素101内の光信号検出用MOSTランジスタ112のドレイン領域17aに接続されている。

【0038】また、垂直出力線60a、60b、・・・が列毎に一つずつ出ている。各垂直出力線60a、60b、・・・は列方向に並ぶ全ての単位画素101内のMOSTランジスタ112のソース領域16にそれぞれ接続されている。また、MOSTランジスタ112のソース領域16は列毎に昇圧電圧供給線73a、73b、・・・を通して昇圧走査回路108と接続している。キャリアポケット25内、第1及び第2のウエル領域15a、15b内に残る電荷を排出するための高電圧を供給する。

【0039】さらに、MOSTランジスタ112のソース領域16は列毎に垂直出力線60a、60b、・・・を通して信号出力回路105と接続している。そして、

ソース領域16は信号出力回路105内の図示しないキャパシタからなる対の第1及び第2のラインメモリと接続している。第1のラインメモリにはキャリアポケット25に光発生電荷が蓄積されているときの第1のソース電位を記憶させ、かつ第2のラインメモリにはキャリアポケット25から光発生電荷を排出した後の第2のソース電位を記憶させる。そして、図示しない差動増幅器等を通して第1及び第2のソース電位の差の電圧を光信号として出力する。なお、この実施の形態ではソース領域16に定電流源などの能動負荷を接続していない。

【0040】水平走査信号(HSCAN)供給線72a、72bは水平走査信号(HSCAN)入力走査回路104から列毎の一つずつ出ている。各水平走査信号(HSCAN)供給線72a、72bは信号出力回路105と接続されている。水平走査信号(HSCAN)入力走査回路104は各水平走査信号(HSCAN)供給線72a、72bを通して信号出力回路105内に水平走査信号を供給し、光信号を出力するタイミングを制御する。

【0041】垂直走査信号(VSCAN)及び水平走査信号(HSCAN)により、逐次、各単位画素101のMOSTランジスタ112を駆動して光の入射量に比例した、残留電荷によるノイズ成分を含まない映像信号(Vout)が信号出力回路105から読み出される。次に、図4、図5及び図6にしたがって、一連の連続した固体撮像素子の光検出動作を簡単に説明する。

【0042】図4は、本発明に係るMOS型イメージセンサを動作させるための各入出力信号のタイミングチャートを示す。また、図5及び図6は、各動作における、受光ダイオード111、ウエル領域15a、15b、キャリアポケット25、オーバフロードレイン領域41及びそれらの周辺部のエネルギーバンド、特に価電子帯の頂上のエネルギーレベル(Ev)の変化の様子を示す模式図である。

【0043】この場合、光信号検出用MOSTランジスタ112としてp型の第2のウエル領域15bに形成されたnチャネルディプレッション型MOSTランジスタを用いる。光検出動作は、初期化期間(掃出期間)ー蓄積期間ー読出期間ーからなる一連の過程を繰り返す行う。ここでは、都合上、初期化期間から説明を始める。なお、一連の動作の間中、オーバフロードレイン領域41は接地されているとする。

【0044】まず、初期化動作を行なう。初期化動作においては、全画素について、キャリアポケット25内、第1及び第2のウエル領域15a、15b内に残る電荷を排出する。即ち、図4に示すように、全画素についてドレイン領域17a(不純物領域17)の電位(Vpd)を約5Vとし、かつゲート電極19の電位(Vg)を凡そ7Vとする。また、オーバフロードレインゲート42の電位(Vofdg)を接地電位(零電位)とする。ド

レイン領域17aの電位はチャネル領域を通してソース領域16にも及ぶ。

【0045】このとき、ドレイン領域17a、ソース領域16、不純物領域17のpn接合及び基板11側のpn接合に電圧がかかるとともに、ゲート電極19に印加した電圧によりチャネル領域17bは導通状態を保ち、ソース領域16とドレイン領域17aに印加した電圧が第2のウエル領域15b及びホールポケット25にかかる。これにより、基板11の上部の領域は空乏化され、このとき発生する高電界により、受光ダイオード111部の第1のウエル領域15a内の残留正孔は直接に基板11に排出されるとともに、キャリアポケット25を含む第2のウエル領域15bから確実に残留正孔が排出される。また、図5(b)に示すように、電位の低いオーバフロードレイン領域41を通して受光ダイオード111部のウエル領域15a内の残留正孔が排出される。

【0046】次に、蓄積動作を行なう。この場合も、全画素について、受光領域で光発生正孔を発生させ、それをキャリアポケット25に転送し、蓄積させる。全画素について、光信号検出用MOSTランジスタ112のドレイン領域17aに電圧、例えば約0.5V(Vpd)を印加する。また、ゲート電極19にドレイン電位(Vpd)及びソース電位(Vps)に対してチャネル領域が空乏化せず、十分な電子密度を持って電子が蓄積されるようなゲート電圧(Vg)、例えば凡そ2V程度を印加する。これにより、チャネル領域には十分な電子密度の電子が蓄積され、ソース領域16はドレイン領域17aとチャネル領域を通して繋がり、ソース領域16にはドレイン領域17aの電圧(Vpd)と同じ電圧(Vps)約0.5Vが印加される。さらに、オーバフロードレインゲート42に3V(Vofdg)を印加する。

【0047】蓄積期間において、チャネル領域が空乏化せず、十分な電子密度をもって電子が蓄積されるようなゲート電圧(Vg)、例えば凡そ2V程度を印加することによりゲート絶縁膜18とチャネル領域の界面での界面準位の正孔発生中心は非活性化されて、界面準位からの正孔の放出、即ちリーク電流が抑制される。これにより、光発生電荷以外の正孔のキャリアポケット25への蓄積が抑制され、映像画面において所謂白キズの発生を防止することができる。

【0048】続いて、全画素の受光面に、かつ同時に受光ダイオード111に光を照射する。光照射により電子ー正孔対(光発生電荷)を発生させると、図5(c)に示すように、受光領域からキャリアポケット25に至る経路(電荷転送経路)中のp型領域15cの正孔に対する電位障壁、及び受光領域からオーバフロードレイン領域41に至る経路(電荷排出経路)中のn型層32aの正孔に対する電位障壁が高いため、光発生正孔は受光ダイオード111部に蓄積されることになる。

【0049】次に、図4、及び図5(d)、(e)、

(f)に示すように、全画素について、3段階で受光ダイオード111部の光発生正孔をキャリアポケット25に転送し、蓄積する。このため、まず、図5(d)に示すように、全画素について、光信号検出用MOSトランジスタ112のドレイン領域17aの電位(V_{pd})を約0.5Vに、オーバフロードレインゲート42の電位(V_{ofd})を3Vにそれぞれ保持したまま、ゲート電極19の電位(V_g)を接地電位とし、受光部のウエル領域15aに対してキャリアポケット25を有するウエル領域15bの電位を下げる。

【0050】続いて、ゲート電極19、ソース領域16、オーバフロードレインゲート42の電位(V_g 、 V_{ps} 、 V_{ofd})を前の状態に保持したまま、ドレイン領域17aの電位(V_{pd})を3Vとして、キャリアポケット25を有する第2のウエル領域15bの電位を受光領域の第1のウエル領域15aに対して相対的にさらに下げる。

【0051】最後に、ゲート電極19の電位(V_g)を前の状態に保持したまま、ドレイン領域17aの電位(V_{pd})を5Vとし、オーバフロードレインゲート42の電位(V_{ofd})を5Vとして、キャリアポケット25を有する第2のウエル領域15bの電位を受光領域の第1のウエル領域15aに対して相対的にさらに下げる。

【0052】次に、読出し動作を行なう。この読出期間において、一行単位で各画素の閾値電圧、即ち光電変換された光信号を読み出して信号出力回路105内の記憶装置に記憶させ、引き続き映像信号として水平出力線71に出力させる。まず、第1行目の全画素について、VSCAN駆動走査回路102から選択行のゲート電極19への出力線59aに約2Vを出力する。非選択行のゲート電極19への出力線59bに接地電位を出力する。一方、選択行及び非選択行ともにVDD駆動走査線61aを凡そ3V(MOSTランジスタ112のドレイン電位となる)に保つ。また、オーバフロードレインゲート42は選択行及び非選択行ともに接地電位とする。

【0053】このとき、選択行の画素内のキャリアポケット25上方のチャネル領域の一部に低電界の反転領域が形成され、チャネル領域の残りの部分に高電界領域が形成される。MOSTランジスタ112のドレイン電圧-電流特性は飽和特性を示す。これにより、第1のラインメモリが充電されていき、充電が完了したところで、第1のラインメモリに光変調された閾値電圧(ソース電位 V_{outS})が記憶される。また、図6(g)の実線で示すように、オーバフロードレインゲート42の電位が低い場合、電荷排出経路中に光発生正孔に対する障壁が存在していない。このため、受光領域で光照射により発生する光発生正孔はオーバフロードレイン領域41を通して基板11に排出される。

【0054】一方、非選択行の画素では、図6(g)の

点線で示すようにエネルギーレベルが変化し、キャリアポケット25の電位はより低くなっている。このため、キャリアポケット25に蓄積されている光発生正孔は選択行の読出し動作中に漏洩しない。また、オーバフロードレインゲート42の電位が低い場合、受光領域で光照射により発生する光発生正孔はオーバフロードレイン領域41を通して基板11に排出される。

【0055】上記のように、読み出した閾値電圧には光発生正孔のみによる電圧の他に光発生正孔によらない電荷に起因した電圧(即ち雑音電圧(V_{outN})と称する。)も含んでいる。光信号からこの雑音電圧を除くため、読出し動作を行なった選択行について、引き続き、雑音電圧(V_{outN})のみを読み出す動作を行なう。即ち、VSCAN駆動走査回路102から選択行のゲート電極19への出力線59aに約7Vを出力する。非選択行のゲート電極19への出力線59bを接地電位に保持する。また、選択行及び非選択行ともにVDD駆動走査線61aを凡そ5Vに保つ。また、オーバフロードレインゲート42は選択行及び非選択行ともに接地電位のまま保持する。これにより、図6(h)の実線で示すようにエネルギーレベルが変化し、選択行の画素では、図5(b)で示す初期化動作と同様に、半導体内から残留電荷が排出される。

【0056】一方、非選択行の画素では、図6(h)の点線で示すようにエネルギーレベルが変化し、キャリアポケット25の電位はより低くなっている。このため、キャリアポケット25に蓄積されている光発生正孔は選択行の読出し動作中に漏洩しない。また、オーバフロードレインゲート42の電位が低い場合、受光領域で光照射により発生する光発生正孔はオーバフロードレイン領域41を通して基板11に排出される。

【0057】次いで、選択行の画素で、図6(g)のときと同様に、図6(i)の実線で示すようにエネルギーレベルを変化させて、MOSTランジスタ112を動作させる。これにより、第2のラインメモリが充電されている。充電が完了したところで、キャリアポケット25に光発生正孔が蓄積されていない状態での閾値電圧(ソース電位 V_{outN})が第2のラインメモリに記憶される。一方、非選択行では、図6(g)のときと同様に、図6(i)の点線で示すようにエネルギーレベルを変化させて、キャリアポケット25に蓄積されている光発生正孔が選択行の読出し動作中に漏洩しないようにする。

【0058】その後、図6(j)の実線で示すようにエネルギーレベルを変化させて、ソース電位 V_{outS} 、 V_{outN} の差の電圧を出力する動作を行う。このようにして、光照射量に比例した映像信号($V_{out} = V_{outS} - V_{outN}$)を取り出すことができる。その後、図6(g)乃至図6(j)の動作を繰り返して、一行毎に読み出し動作を行なう。その間、いまだ読み出しを行っていない非選択行ではキャリアポケット25に光発生正孔が蓄積された

ままの状態が保持される。

【0059】このようにしてすべての行の画素から光電変換された光信号を読み出すことで一つの映像を画面に映し出すことができる。以上のように、この発明の第1の実施の形態である固体撮像装置の駆動方法においては、初期化期間と蓄積期間と読出期間とをこの順に繰り返している。特に、初期化期間と蓄積期間で全画素について、初期化とキャリアポケット25への蓄積とを行ない、読出し動作において、選択行の画素から光信号を読み出す際に、電荷転送経路のポテンシャルと、電荷排出経路のポテンシャルとを制御して非選択行のキャリアポケット25に蓄積された光発生電荷が漏洩しないようにするとともに、読出し動作中に受光領域で発生した光発生電荷がキャリアポケット25の方に移動せずに、オーバフロードレイン領域41から排出できるようにすることができる。

【0060】これにより、受光面全面で、かつ同時に光信号による映像をイメージセンサに取り込んで、その光信号を電気信号に変換して映像信号としてイメージセンサの外部に取り出すことができる。さらに、電荷発生領域及び電荷転送領域が埋め込み構造を有するので、蓄積動作－読出動作－初期化動作（掃出動作）の一連の過程において、光発生正孔が移動するときに、半導体表面やチャネル領域内の雑音源と相互作用しない理想的な光電変換機構を実現することができる。

【0061】（第2の実施の形態）図7（a）は第2の実施の形態である固体撮像素子の断面図である。図7（b）は図7（a）のIII-III線に沿う価電子帯の頂上のエネルギーレベル（E_v）の変化の様子を示す図である。図7（a）において、図2（a）と異なるところは、第1のウエル領域15aと第2のウエル領域15bの間に低濃度のp型領域を設けず、第1のウエル領域15aのp型の不純物濃度を第2のウエル領域15bのp型の不純物濃度よりも高くしている点である。なお、図中、他の符号は図2（a）と同じ符号で示すものは図2（a）と同じものを示すので、説明を省略する。

【0062】これにより、図7（b）に示すように、電荷転送経路内で第1のウエル領域15aと第2のウエル領域15bとの境界に、受光領域からキャリアポケット25に向かう光発生正孔に対してエネルギーレベルが低くなるような、即ち電位が高くなるような正孔に対する電位障壁を形成することができる。従って、図5（c）に示す光発生正孔の蓄積動作において、キャリアポケット25及びオーバフロードレイン領域41への光発生正孔の移動を阻止して受光領域に光発生正孔を蓄積させることが可能である。

【0063】これにより、第1の実施の形態と同様に、初期化動作と、蓄積動作と、読出し動作からなる一連の動作を繰り返して、受光面全面で、かつ同時に光信号による映像をイメージセンサに取り込んで、その光信号を

電気信号に変換して映像信号としてイメージセンサの外部に取り出すことができる。

（第3の実施の形態）図8は、第3の実施の形態であるMOS型イメージセンサの単位画素内における素子レイアウトについて示す平面図である。図9は、図8のIV-IV線に沿う断面図である。

【0064】第3の実施の形態において、第1の実施の形態と異なるところは、図8に示すように、受光ダイオード111部の第1のウエル領域15aが行と列に揃って並ぶように保持しつつ、かつ、列方向（或いは行方向）で隣接する受光ダイオード111部の第1のウエル領域15a同士を接近させて設け、それらの第1のウエル領域15a同士に共通のオーバフロードレイン領域41が設けられている点である。また、オーバフロードレインゲート（OFDG）42aはオーバフロードレイン領域41の上方を通り、隣接する相互のウエル領域15aを橋渡すようにゲート絶縁膜18aを介して設けられている点である。

【0065】図9に示すように、オーバフロードレインゲート42aの下方の構成は、図2（a）のオーバフロードレインゲート42の下方における、オーバフロードレイン領域41から受光ダイオード111の不純物領域17に至る構成と同じ構成を、四角形状のオーバフロードレイン領域41を中心にして2方向で2つ組合わせていることを特徴としている。

【0066】また、図8に示すように、単位画素がほぼ長方形形状を有し、受光ダイオード111部の第1のウエル領域15aとMOSトランジスタ112のゲート電極19の並びの方向が列方向又は行方向に対して斜め方向に向いていることは第1の実施の形態と同じである。一方、上記の条件を満たすため、単位画素中の受光ダイオード111部の第1のウエル領域15aとMOSトランジスタ112のゲート電極19の並びの向きが隣接する画素で逆になっている点が第1の実施の形態と異なっている。

【0067】なお、図中、他の符号は図2（a）と同じ符号で示すものは図2（a）と同じものを示すので、説明を省略する。上記第3の実施の形態においては、受光ダイオード111部の第1のウエル領域15aが行と列に揃って並ぶように保持しつつ、かつ、列方向（或いは行方向）で隣接する受光ダイオード111部の第1のウエル領域15a同士を接近させて設け、それらの第1のウエル領域15a同士に共通のオーバフロードレイン領域41が設けられている。

【0068】これにより、第1の実施の形態と異なり、特に第1のウエル領域15a相互を接続する、拡散分離領域としても機能する帯状のオーバフロードレイン領域41を行間にわたって設ける必要がなくなる。他の構成は第1の実施の形態と同様なので、第2の実施の形態においても、第1の実施の形態と同様な作用・効果を奏す

ることができる。

【0069】（第4の実施の形態）図10は、第4の実施の形態であるMOS型イメージセンサの単位画素内における素子レイアウトについて示す平面図である。図11(a)は図10のV-V線に沿う断面図である。図11(b)は図11(a)のVI-VI線に沿う価電子帯の頂上のエネルギーレベル(E_v)の変化の様子を示す図である第4の実施の形態において、受光ダイオード111部の第1のウエル領域15aが行と列に揃って並ぶように保持しつつ、かつ、隣接する受光ダイオード111部の第1のウエル領域15a同士を接近させて設け、それらの第1のウエル領域15a同士に共通のオーバフロードレイン領域41が設けられている点は第3の実施の形態と同じである。

【0070】一方、第4の実施の形態において、第3の実施の形態と異なるところは、図11(a)に示すように、チャネル領域17bに隣接する受光ダイオード111側のドレイン領域17aと受光ダイオード111部の不純物領域17との境界部分には、絶縁膜18bを介してトランスファゲート(TG)44が設けられている点である。この場合、第1及び第2のウエル領域15a、15b同士はトランスファゲート44の下でn型層32aを挟んで配置されており、トランスファゲート44は第1のウエル領域15aの端部領域の上方から第2のウエル領域15bの端部領域の上方にわたって設けられている。第1及び第2のウエル領域15aと15bとは、トランスファゲート44の下でn型層32aの表層に形成された低濃度のp型領域(表層領域)17dにより繋がっている。

【0071】第4の実施の形態における他の構成で、第3の実施の形態と異なるところは、オーバフロードレイン領域41を共通にする画素は、列方向又は行方向に対して斜め方向に配置しているもの同士である点である。また、第1のウエル領域15aが八角形状を有している点である。なお、図中、他の符号は図2(a)と同じ符号で示すものは図2(a)と同じものを示すので、説明を省略する。

【0072】また、上記では、第1及び第2のウエル領域15aと15bとは、トランスファゲート44の下でn型層32aの表層に形成された低濃度のp型領域17dにより繋がっているが、図12に示すように、第1のウエル領域15aと第2のウエル領域15bとは、n型層32aを挟むように形成されてもよい。以上のように、この発明の第4の実施の形態においては、電荷転送経路内で第1のウエル領域15aと第2のウエル領域15bとの接続領域上には、絶縁膜18bを介してトランスファゲート44が設けられている。

【0073】従って、トランスファゲート44に印加する電圧により、その接続領域のポテンシャルが光発生電荷に対する障壁となるように調整することができる。こ

れにより、必要なときに、受光領域からキャリアポケット25に向かう光発生電荷の流れを制御することができる。次に、図13乃至図15を参照して図11に示す構成のMOS型イメージセンサの駆動方法について説明する。図12に示すトランスファゲート44の周辺部の構成を有するMOS型イメージセンサについても同様に適用することができる。

【0074】図13は、図11に示すMOS型イメージセンサを動作させるための各入出力信号のタイミングチャートを示す。また、図14及び図15は、各動作における、受光ダイオード111、ウエル領域15a、15b、キャリアポケット25、オーバフロードレイン領域41及びそれらの周辺部のエネルギーバンド、特に価電子帯の頂上のエネルギーレベル(E_v)の変化の様子を示す模式図である。

【0075】この場合、光信号検出用MOSトランジスタ112としてp型の第2のウエル領域15bに形成されたnチャネルディプレッション型MOSトランジスタを用いる。次に、図13、図14及び図15にしたがって、一連の連続した固体撮像素子の光検出動作を簡単に説明する。光検出動作は、初期化期間(掃出期間)ー蓄積期間ー読出期間ーからなる一連の過程を繰り返す行。ここでは、都合上、初期化期間から説明を始める。なお、一連の動作の間中、オーバフロードレイン領域41は接地されているとする。

【0076】まず、初期化動作を行なう。初期化動作においては、図14(a)乃至(d)の動作を経て、全画素について、キャリアポケット25内、第1及び第2のウエル領域15a、15b内に残る電荷を排出する。図14(a)に示すように、受光領域内の残留電荷をキャリアポケット25に転送する。即ち、図13に示すように、ドレイン領域17a(不純物領域17)の電位(V_{pd})を約3Vとし、かつゲート電極19の電位(V_g)を凡そ0Vとし、トランスファゲート(TG)44の電位(V_{tg})を凡そ0Vとし、オーバフロードレインゲート42の電位(V_{ofdg})を凡そ3Vとする。

【0077】次いで、図14(b)に示すように、電荷転送経路内の残留電荷をキャリアポケット25に転送する。即ち、図13に示すように、ドレイン領域17a(不純物領域17)の電位(V_{pd})、ゲート電極19の電位(V_g)及びオーバフロードレインゲート42の電位(V_{ofdg})を前の状態に保持したまま、トランスファゲート(TG)44の電位を凡そ3Vとする。

【0078】続いて、図14(c)に示すように、オーバフロードレイン領域41の電位(V_{ofdg})を下げる。次いで、図14(d)に示すように、キャリアポケット25内、第1及び第2のウエル領域15a、15b内に残る電荷を排出する。即ち、図13に示すように、全画素についてドレイン領域17a(不純物領域17)の電位(V_{pd})を約6Vとし、かつゲート電極19の電位

21

(Vg)を凡そ8Vとする。また、トランスファゲート(TG)44の電位(Vtg)を凡そ8Vとする。さらに、オーバフロードレインゲート42の電位(Vofdg)を接地電位(零電位)とする。ドレイン領域17aの電位(Vpd)はチャネル領域を通してソース領域16にも及ぶ。

【0079】このとき、ドレイン領域17a、ソース領域16、不純物領域17のpn接合及び基板11側のpn接合に電圧がかかるとともに、ゲート電極19に印加した電圧(Vg)は第2のウエル領域15b及び第2のウエル領域15bの下にn型層32bにかかる。これにより、基板11の上部の領域は空乏化され、このとき発生する高電界により、受光ダイオード111部の第1のウエル領域15a内の残留正孔は直接に基板11に排出されるとともに、キャリアポケット25を含む第2のウエル領域15bから確実に残留正孔が排出される。また、図14(d)に示すように、電位の低いオーバフロードレイン領域41を通して受光領域の第1のウエル領域15a内の残留正孔が排出される。

【0080】次に、蓄積動作を行なう。蓄積動作は、図14(e)及び(f)、図15(a)及び(b)に示すように、全画素について、受光領域で光発生正孔を発生させ、それをキャリアポケット25に転送し、蓄積させる。光信号検出用MOSTランジスタ112のドレイン領域17aに電圧(Vpd)、例えば約1Vを印加する。また、ゲート電極19にドレイン電位(Vpd)及びソース電位(Vps)に対してチャネル領域が空乏化せず、十分な電子密度を持って電子が蓄積されるようなゲート電圧(Vg)、例えば凡そ2V程度を印加する。これにより、チャネル領域には十分な電子密度の電子が蓄積され、ソース領域16はドレイン領域17aとチャネル領域を通して繋がり、ソース領域16にはドレイン領域17aの電圧(Vpd)と同じ電圧(Vps)約1Vが印加される。さらに、オーバフロードレインゲート42に3V(Vofdg)を印加する。

【0081】続いて、全画素の受光面に、かつ同時に受光ダイオード111に光を照射する。光照射により電子-正孔対(光発生電荷)を発生させると、図14(e)に示すように、受光領域からオーバフロードレイン領域41に至る経路(電荷排出経路)中のn型層32aの正孔に対する電位障壁が高いので、光発生正孔は受光ダイオード111部に蓄積されることになる。なお、受光領域からキャリアポケット25に至る経路(電荷転送経路)中のn型層32bの正孔に対する電位障壁が多少低くなっているため、一部は、キャリアポケット25に転送されはじめるものもある。

【0082】次に、図14(f)、及び図15(a)に示すように、全画素について、2段階で受光ダイオード111部の光発生正孔をキャリアポケット25に転送し、蓄積する。このため、まず、図13に示すように、

22

全画素について、また、トランスファゲート44の電位(Vtg)を接地電位に、かつ、オーバフロードレインゲート42の電位(Vofdg)を3Vにそれぞれ保持したまま、光信号検出用MOSTランジスタ112のドレイン領域17aの電位(Vpd)を約3Vに高めるとともに、ゲート電極19の電位(Vg)を接地電位とし、受光領域の第1のウエル領域15aに対してキャリアポケット25を有する第2のウエル領域15bの電位を下げる。これにより、受光領域の発生電荷を受光領域から電荷転送領域を経てキャリアポケット25に向かわせる電位分布が形成され、光発生正孔がキャリアポケット25の方に導かれる。

【0083】続いて、ドレイン領域17aの電位(Vpd)、ゲート電極19の電位(Vg)、ソース領域16の電位(Vps)、オーバフロードレインゲート42の電位(Vofdg)を前の状態に保持したまま、トランスファゲート44の電位(Vtg)を3Vに高めて、電荷転送経路途中の光発生正孔をキャリアポケット25に向かわせる電界をさらに強める。

【0084】最後に、図13に示すように、ドレイン領域17aの電位(Vpd)、ゲート電極19の電位(Vg)、トランスファゲート44の電位(Vtg)、ソース領域16の電位(Vps)を前の状態に保持したまま、オーバフロードレインゲート42の電位(Vofdg)を接地電位とする。図15(b)に示すように、受光領域に残留する光発生電荷はオーバフロードレイン領域41を経て基板11側に排出される。

【0085】次いで、電荷転送後、図13に示すように、トランスファゲート44の電位(Vtg)、ソース領域16の電位(Vps)、オーバフロードレインゲート42の電位(Vofdg)を前の状態に保持したまま、ドレイン領域17aの電位(Vpd)を凡そ1Vとし、ゲート電極19の電位(Vg)を約2Vとする。次に、読出し動作を行なう。この読出し期間において、一行単位で各画素の閾値電圧、即ち光電変換された光信号を読み出して信号出力回路105内の記憶装置に記憶させ、引き続き映像信号として水平出力線71に出力させる。

【0086】まず、図13に示すように、全画素について、トランスファゲート44の電位(Vtg)及びオーバフロードレインゲート42の電位(Vofdg)を前の状態に保持したまま、ドレイン領域17aの電位(Vpd)を3Vとする。さらに、選択された第1行目(選択行)の全画素について、ゲート電極19の電位(Vg)を約2Vに保持するとともに、非選択行のゲート電極19の電位(Vg)を接地電位とする。

【0087】このとき、選択行の画素内のキャリアポケット25上方のチャネル領域の一部に低電界の反転領域が形成され、チャネル領域の残りの部分に高電界領域が形成される。MOSTランジスタ112のドレイン電圧-電流特性は飽和特性を示す。これにより、第1のライ

ンメモリが充電されていき、充電が完了したところで、第1のラインメモリに光変調された閾値電圧（ソース電位 V_{outS} ）が記憶される。また、図15（d）の実線で示すように、オーバフロードレインゲート42の電位が低いため、電荷排出経路中に光発生正孔に対する障壁が存在していない。このため、受光領域で光照射により発生する光発生正孔はオーバフロードレイン領域41を通して基板11に排出される。

【0088】一方、非選択行の画素では、図15（d）の点線で示すようにエネルギーレベルが変化し、キャリアポケット25の電位はより低くなっている。このため、キャリアポケット25に蓄積されている光発生正孔は選択行の読出し動作中に漏洩しない。また、オーバフロードレインゲート42の電位が低いため、受光領域で光照射により発生する光発生正孔はオーバフロードレイン領域41を通して基板11に排出される。

【0089】その後、図15（e）の実線で示すようにエネルギーレベルを変化させて、ソース電圧（ V_{outS} ）を出力する動作を行う。このようにして、光照射量に比例した映像信号（ $V_{out}=V_{outS}$ ）を取り出すことができる。その後、図15（d）乃至図15（e）の動作を繰り返して、一行毎に読み出し動作を行なう。その間、いまだ読み出しを行っていない非選択行ではキャリアポケット25に光発生正孔が蓄積されたままの状態が保持される。

【0090】このようにしてすべての行の画素から光電変換された光信号を読み出すことで一つの映像を画面に映し出すことができる。なお、上記では、第1の実施の形態と異なり、光信号（ V_{outS} ）から雑音電圧（ V_{outN} ）を除く動作を行っていないが、必要な場合、第1の実施の形態と同じように、図15（d）に示す光発生正孔による光信号を読み出す動作の後に、キャリアポケット25を初期化する動作と初期化した状態でのソース電位、即ち雑音電圧のみを読み出す動作を行なう。そして、図15（e）に示すラインメモリから光信号を読み出す動作のときに、ソース電位 V_{outS} 、 V_{outN} の差の電圧を出力する動作を行う。このようにして、光照射量に比例した映像信号（ $V_{out}=V_{outS}-V_{outN}$ ）を取り出すことができる。

【0091】以上のように、上記第4の実施の形態においても、第1の実施の形態と同様に、初期化期間と蓄積期間と読出期間とをこの順に繰り返している。特に、初期化期間と蓄積期間で全画素について、初期化とキャリアポケット25への蓄積とを行ない、読出し動作において、選択行の画素から光信号を読み出す際に、電荷転送経路の電位と、電荷排出経路の電位とを制御して非選択行のキャリアポケット25に蓄積されたキャリアが漏洩しないようにするとともに、読出し動作中に受光領域で発生した光発生電荷がキャリアポケット25の方に移動せずに、オーバフロードレイン領域41を通して基板1

1に排出できるようにすることができる。

【0092】これにより、受光面全面で、かつ同時に光信号による映像をイメージセンサに取り込んで、その光信号を電気信号に変換して映像信号としてイメージセンサの外部に取り出すことができる。また、第4の実施の形態の他の構成については、第1の実施の形態と同様であるので、第4の実施の形態においても、第1の実施の形態と同様な作用・効果を奏することができる。

【0093】（第5の実施の形態）図16は、第5の実施の形態であるMOS型イメージセンサの単位画素内における素子レイアウトについて示す平面図である。第5の実施の形態において、トランスファゲート44a及びオーバフロードレイン領域41が設けられている点は第4の実施の形態と同じであるが、オーバフロードレイン領域41が画素毎に設けられている点が、第4の実施の形態と異なる。

【0094】なお、図中、符号42Cは、第1のウエル領域15aの端部領域上からオーバフロードレイン領域41上にわたって設けられたオーバフロードレインゲートであり、17Cはオーバフロードレインゲート42cの下、第1のウエル領域15aの端部領域からオーバフロードレイン領域41に至る領域の表層に設けられた低濃度のn型領域又はp型領域である。

【0095】以上のように、第5の実施の形態においては、オーバフロードレイン領域41が画素毎に設けられている点以外、第4の実施の形態と同様な構成を有するので、第5の実施の形態においても、第4の実施の形態と同様な作用・効果を奏することができる。以上、実施の形態によりこの発明を詳細に説明したが、この発明の範囲は上記実施の形態に具体的に示した例に限られるものではなく、この発明の要旨を逸脱しない範囲の上記実施の形態の変更はこの発明の範囲に含まれる。

【0096】例えば、上記の実施の形態では、信号出力回路内でソース領域56に入力キャパシタからなるラインメモリを直結しているが、ラインメモリに並列に定電流源を接続し、ソースフォロフ接続としてもよい。この場合、スイッチトキャパシタ回路を設けなくてもよい。また、p型の基板11上のn型層32a、32b内に第1及び第2のウエル領域15a、15bを形成しているが、n型層32a、32bの代わりに、p型のエピタキシャル層にn型不純物を導入してn型層を形成し、このn型層内に第1及び第2のウエル領域15a、15bを形成してもよい。

【0097】さらに、p型の基板11を用いているが、代わりにn型の基板を用いてもよい。この場合、上記実施の形態と同様な効果を得るためには、上記実施の形態等で説明した各層及び各領域の導電型をすべて逆転させればよい。この場合、キャリアポケット25に蓄積すべきキャリアは電子及び正孔のうち電子である。

【0098】

【発明の効果】以上のように、この発明の固体撮像装置においては、受光領域で発生した光発生電荷を基板に排出する電荷排出経路と、電荷排出経路の光発生電荷に対する電位障壁を制御する手段とを有している。従って、必要なときに、受光領域から基板に向かう光発生電荷の流れを制御することができる。

【0099】また、受光領域で発生した光発生電荷を光信号検出用MOSトランジスタの蓄積領域に転送する電荷転送経路内にも光発生電荷に対する電位障壁を制御する手段を有している。これにより、必要なときに、受光領域から蓄積領域に向かう光発生電荷の流れを制御することができる。この発明の固体撮像装置の駆動方法においては、初期化動作と蓄積動作と読出し動作とをこの順に繰り返している。特に、初期化動作と蓄積動作において全画素について、初期化と蓄積領域への蓄積とを行ない、読出し動作において、選択行の画素から光信号を読み出す際に、電荷転送経路の電位と、電荷排出経路の電位とを制御して非選択行の蓄積領域に蓄積されたキャリアが漏洩しないようにするとともに、読出し動作中に受光領域で発生した光発生電荷を蓄積領域の方に移動させずに、基板に排出できるようにすることができる。

【0100】これにより、受光面全面で、かつ同時に光信号による映像を固体撮像装置に取り込んでその光信号を電気信号に変換し、映像信号として固体撮像装置の外部に取り出すことができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係るMOS型イメージセンサの単位画素内の素子レイアウトを示す平面図である。

【図2】(a)は、同じく、図1のI-I線に沿う断面図である。(b)は、同図(a)のII-II線に沿う、価電子帯(E_v)の頂上の変化の様子を示す図である。

【図3】図1のMOS型イメージセンサの全体の回路構成を示す図である。

【図4】本発明の第1の実施の形態に係るMOS型イメージセンサを動作させるための各入出力信号のタイミングチャートを示す。

【図5】図4の各期間における受光ダイオード、ウエル領域、キャリアポケット、オーバフロードレイン領域及びその周辺部のエネルギーバンド、特に価電子帯の頂上のエネルギーレベル(E_v)の変化の様子を示す模式図(その1)である。

【図6】図4の各期間における受光ダイオード、ウエル領域、キャリアポケット、オーバフロードレイン領域及びその周辺部のエネルギーバンド、特に価電子帯の頂上のエネルギーレベル(E_v)の変化の様子を示す模式図(その2)である。

【図7】(a)は、本発明の第2の実施の形態に係るMOS型イメージセンサの単位画素内の素子の構造を示す、図1のI-I線に沿う断面図である。(b)は、同

図(a)のIII-III線に沿う、価電子帯(E_v)の頂上の変化の様子を示す図である。

【図8】本発明の第3の実施の形態に係るMOS型イメージセンサの単位画素内の素子レイアウトを示す平面図である。

【図9】同じく、図8のIV-IV線に沿う断面図である。

【図10】本発明の第4の実施の形態に係るMOS型イメージセンサの単位画素内の素子レイアウトを示す平面図である。

【図11】同じく、図10のV-V線に沿う断面図である。

【図12】同じく、トランスファゲート及びその周辺部の他の構成を示す断面図である。

【図13】同じく、図10及び図11に示すMOS型イメージセンサを動作させるための各入出力信号のタイミングチャートを示す。

【図14】図13の各期間における受光ダイオード、ウエル領域、キャリアポケット、オーバフロードレイン領域及びその周辺部のエネルギーバンド、特に価電子帯の頂上のエネルギーレベル(E_v)の変化の様子を示す模式図(その1)である。

【図15】図13の各期間における受光ダイオード、ウエル領域、キャリアポケット、オーバフロードレイン領域及びその周辺部のエネルギーバンド、特に価電子帯の頂上のエネルギーレベル(E_v)の変化の様子を示す模式図(その2)である。

【図16】本発明の第5の実施の形態に係るMOS型イメージセンサの単位画素内の素子レイアウトを示す平面図である。

【符号の説明】

- 11, 11a 基板
- 15a, 43 第1のウエル領域
- 15b 第2のウエル領域
- 15c p型領域(一導電型領域)
- 16 ソース領域
- 17 不純物領域(反対導電型領域)
- 17a ドレイン領域
- 17b チャネルドープ層
- 17c, 17d 表層領域
- 18, 18a, 18b ゲート絶縁膜
- 19 ゲート電極
- 25 キャリアポケット(高濃度埋込層; 光発生電荷の蓄積領域)
- 32a, 32b n型層(反対導電型層)
- 41 オーバフロードレイン領域
- 42, 42a, 42b, 42c オーバフロードレインゲート
- 44, 44a トランスファゲート
- 59a, 59b VSCAN供給線
- 60a, 60b 垂直出力線

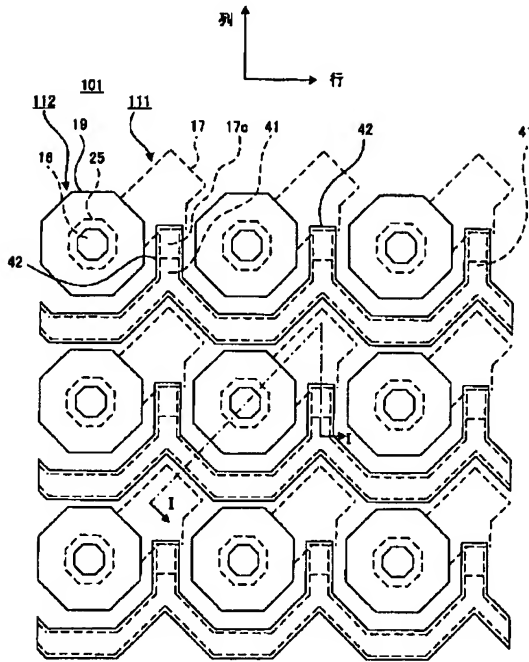
(15)

特開2002-134729

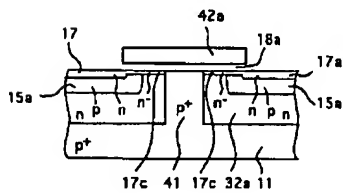
27

61a、61b VSCAN供給線
 62a、62b VDD供給線
 71 水平出力線
 72a、72b HSCAN供給線
 73a、73b 昇圧電圧供給線
 101 単位画素
 102 VSCAN駆動走査回路
 103 VDD駆動走査回路

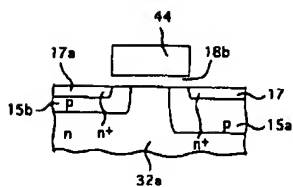
【図1】



【図9】



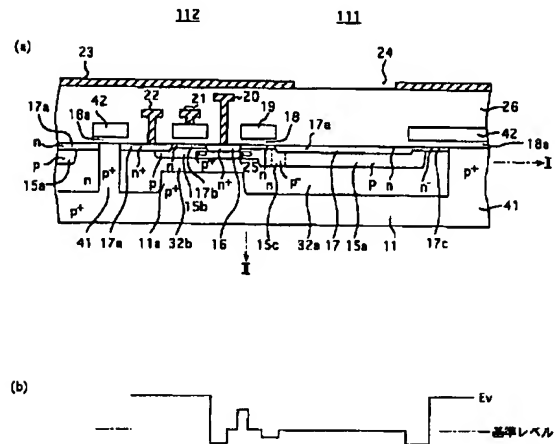
【図12】



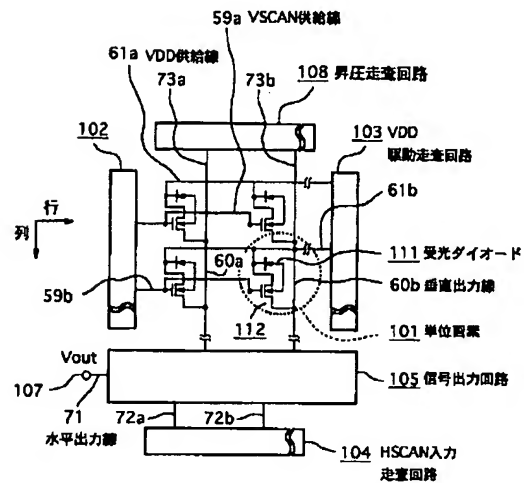
28

104 HSCAN入力走査回路
 105 信号出力回路
 107 映像信号出力端子
 108 昇圧走査回路
 111 受光ダイオード
 112 光信号検出用絶縁ゲート型電界効果トランジスタ (光信号検出用MOSTランジスタ)

【図2】

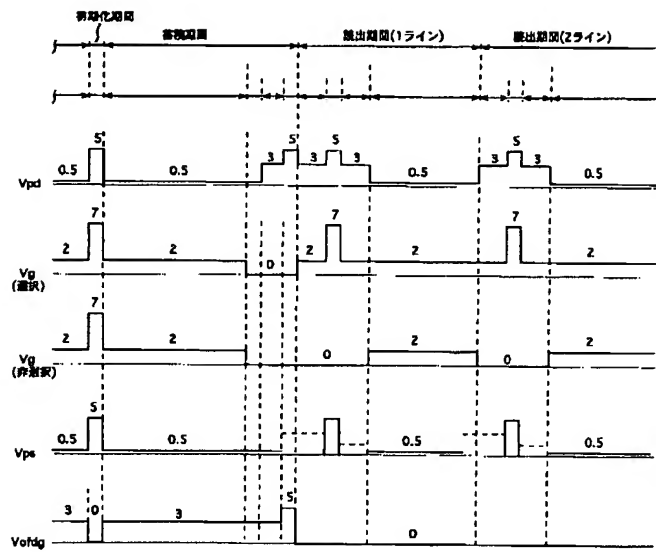


【図3】

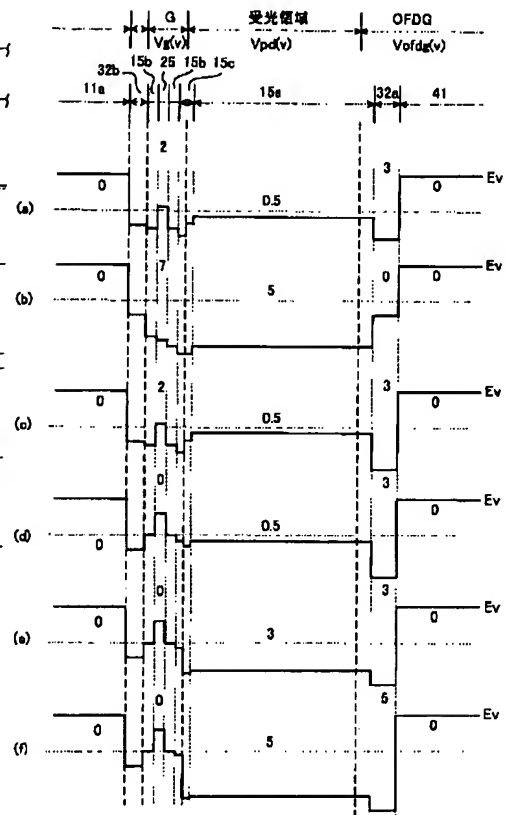


72a、72b : HSCAN供給線
 102 : VSCAN駆動走査回路
 107 : 映像信号出力端子
 112 : 光信号検出用MOSTランジスタ

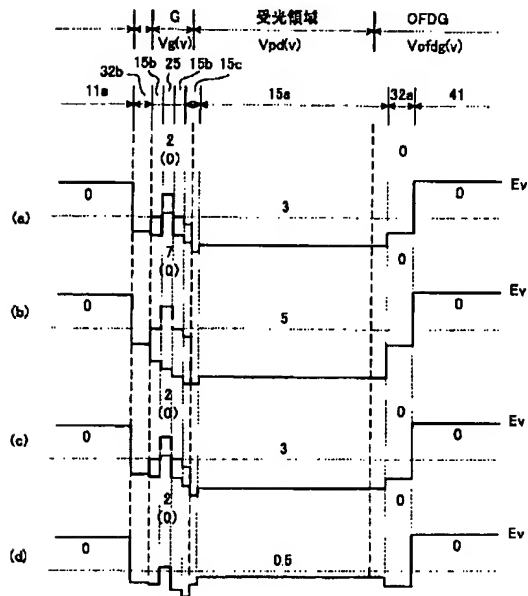
【図4】



【図5】

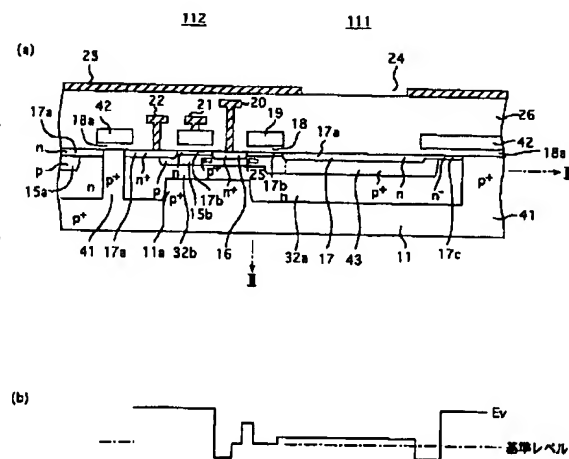


【図6】

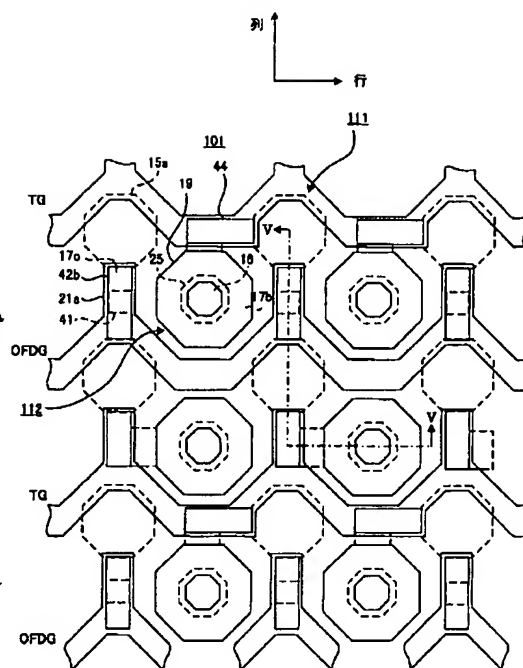


(注) 上図で点線を示すエネルギーレベル(Ev)は、非選択行におけるものである。

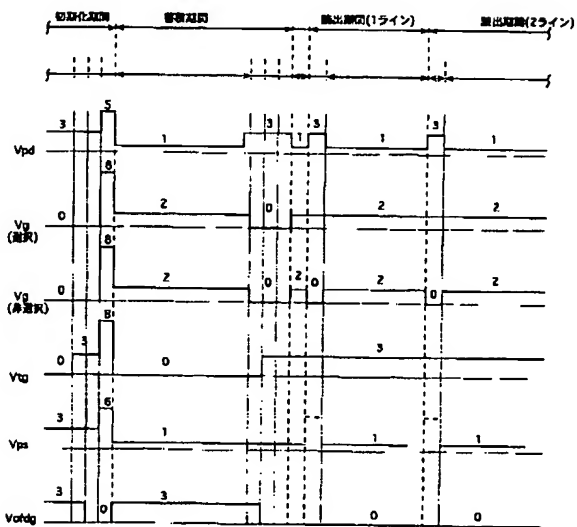
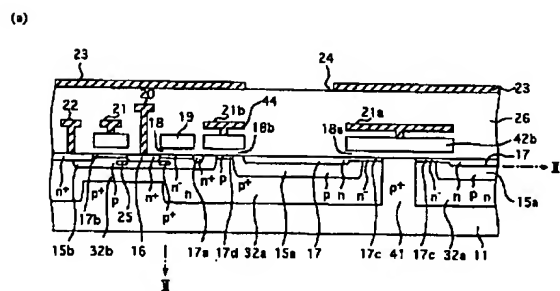
【図7】



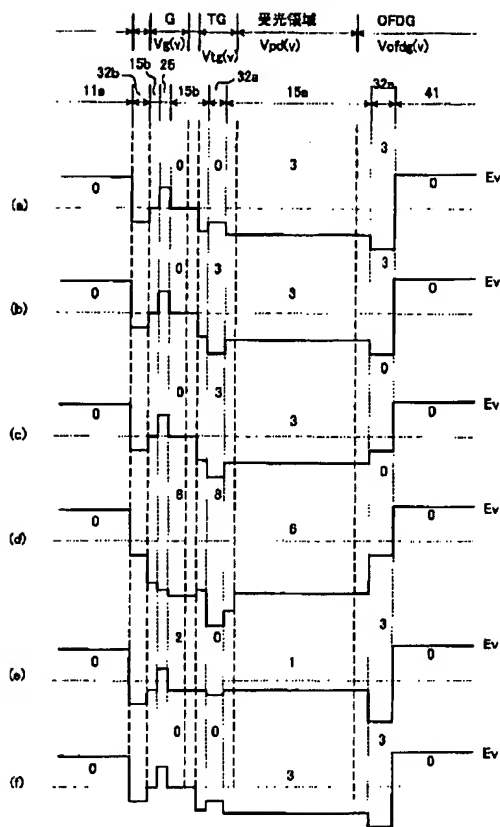
【図10】



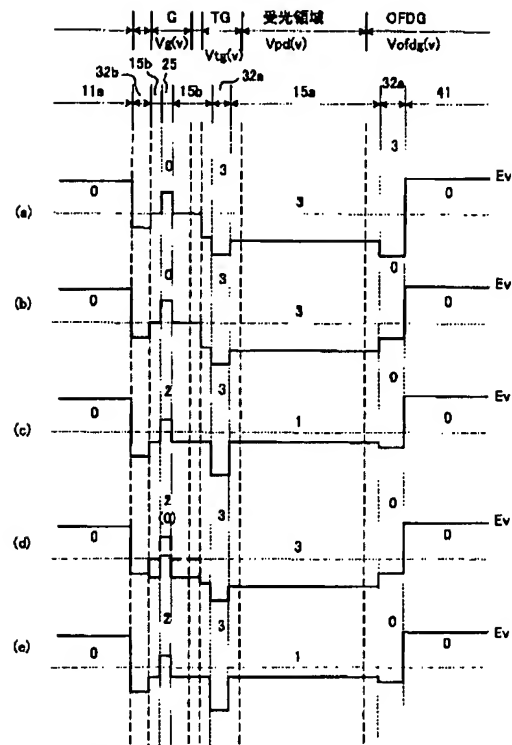
【図13】



【図14】

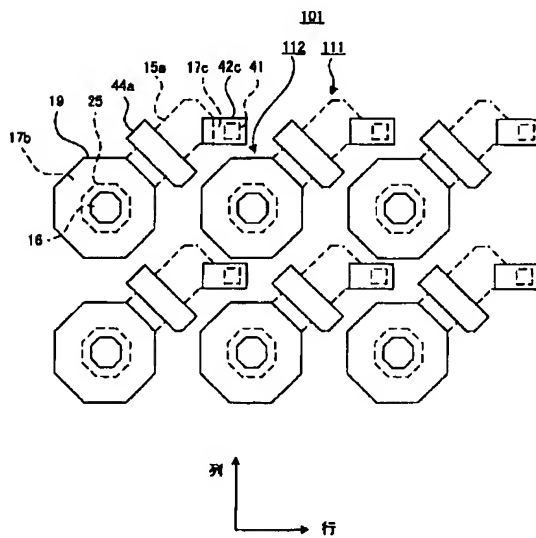


【図15】



(注) 上図で点線を示すエネルギーレベル(Ev)は、非選択行におけるものである。

【図16】



フロントページの続き

Fターム(参考) 4M118 AA10 AB01 BA14 CA04 CA20
FA06 FA14 FA19 FA34 FA39
FA40 FA42
5C024 AX01 CX11 CX17 CY16 GX03
GX16 GY31 GZ04 HX35 HX40
HX41 HX47 JX21